

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/024018

International filing date: 21 December 2005 (21.12.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-375080
Filing date: 24 December 2004 (24.12.2004)

Date of receipt at the International Bureau: 02 February 2006 (02.02.2006)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 1 2 月 2 4 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 3 7 5 0 8 0

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 4 - 3 7 5 0 8 0

出 願 人
Applicant(s): 株式会社半導体エネルギー研究所

2 0 0 6 年 1 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

中 嶋



【書類名】 特許願
【整理番号】 P008457
【提出日】 平成16年12月24日
【あて先】 特許庁長官 殿
【発明者】
 【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
 【氏名】 田中 幸一郎
【発明者】
 【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
 【氏名】 山本 良明
【特許出願人】
 【識別番号】 000153878
 【氏名又は名称】 株式会社半導体エネルギー研究所
 【代表者】 山崎 舜平
【手数料の表示】
 【予納台帳番号】 002543
 【納付金額】 16,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 ！
 【物件名】 明細書 ！
 【物件名】 図面 ！
 【物件名】 要約書 ！

【書類名】特許請求の範囲

【請求項 1】

光の散乱強度が異なる複数の領域を有する照射面に、光を照射するための第 1 の光源と、
前記光を前記照射面に照射した後に、前記照射面から反射される反射光を受光するセンサと、
受光した前記反射光より散乱強度を求める手段と、
前記散乱強度より前記複数の領域を検出する手段と、
前記複数の領域のうち、任意の一つの領域の位置に合わせて露光を行う第 2 の光源とを有することを特徴とする露光装置。

【請求項 2】

光の散乱強度が異なる複数の領域を有する照射面に、光を照射するための第 1 の光源と、
前記光を前記照射面に照射した後に、前記照射面から反射される反射光を受光するセンサと、
受光した前記反射光より前記複数の領域を検出する手段と、
前記複数の領域のうち、任意の一つの領域の位置に合わせて露光を行う第 2 の光源とを有することを特徴とする露光装置。

【請求項 3】

請求項 1 または請求項 2 において、
前記光は、青色光または青色光より短い波長を有する光であることを特徴とする露光装置。

【請求項 4】

請求項 3 において、
前記光は、青色光または青色光より短い波長を有するレーザであることを特徴とする露光装置。

【請求項 5】

請求項 1 乃至請求項 4 において、
前記第 1 の光源、前記センサおよび前記第 2 の光源は一体化していることを特徴とする露光装置。

【請求項 6】

請求項 1 乃至請求項 5 において、
前記センサは CCD、フォトダイオード、フォトトランジスタ、フォト IC、光電子増倍管、または CMOS センサのいずれかの受光素子を有することを特徴とする露光装置。

【請求項 7】

請求項 6 において、
前記センサは 2 次元方向に前記受光素子を有することを特徴とする露光装置。

【請求項 8】

請求項 1 乃至請求項 7 において、
前記第 1 の光源は一定周期のみ光を照射する手段を有し、
前記センサは前記一定周期と同期した前記反射光のみを検出する手段を有することを特徴とする露光装置。

【請求項 9】

前記反射光のデータを二値化する手段、または濃淡エッジ検出をする手段を有することを特徴とする請求項 1 乃至請求項 8 に記載の露光装置。

【請求項 10】

基板上の半導体膜にレーザを照射することによって、光の散乱強度が異なる複数の領域を形成し、
前記半導体膜に光を照射したときに得られる反射光を受光し、
前記反射光の強度より散乱強度を求め、

前記散乱強度より前記複数の領域を検出し、

前記複数の領域のうち、任意の一つの領域に光源の位置を合わせて露光を行うことを特徴とする半導体装置の作製方法。

【請求項 11】

基板上の半導体膜にレーザを照射することによって、光の散乱強度が異なる複数の領域を形成し、

前記半導体膜に光を照射したときに得られる反射光を受光し、

前記反射光の強度より前記複数の領域を検出し、

前記複数の領域のうち、任意の一つの領域に光源の位置を合わせて露光を行うことを特徴とする半導体装置の作製方法。

【請求項 12】

請求項 10 または請求項 11 において、

前記光として青色光または青色光より波長が短い光を用いることを特徴とする半導体装置の作製方法。

【請求項 13】

請求項 12 において、

前記光としてレーザ光を用いることを特徴とする半導体装置の作製方法。

【請求項 14】

請求項 10 乃至請求項 13 において、

前記光を照射すると同時に前記光源の位置を制御することを特徴とする半導体装置の作製方法。

【請求項 15】

請求項 10 乃至請求項 14 において、

前記センサとして、CCD、フォトダイオード、フォトトランジスタ、フォトIC、光電子増倍管、またはCMOSセンサのいずれかの受光素子を用いることを特徴とする半導体装置の作製方法。

【請求項 16】

請求項 10 乃至請求項 15 において、

一定周期毎に前記光を前記基板に照射し、

前記一定周期と同期する反射光のみを検出することを特徴とする半導体装置の作製方法。

【請求項 17】

請求項 10 乃至請求項 16 において、

受光した前記反射光のデータを二値化する、または濃淡エッジ検出をすることを特徴とする半導体装置の作製方法。

【書類名】明細書

【発明の名称】露光装置、およびこれを用いた半導体装置の作製方法

【技術分野】

【0001】

本発明は、レーザ結晶化工程の後のフォトリソグラフィ工程において、レーザ結晶化工程によって粒径の大きな結晶が形成された領域に正確に露光処理をするための方法と、この処理の工程を行う露光装置に関するものである。さらに、この処理の工程を行って作製された半導体装置およびその作製方法に関するものである。

【背景技術】

【0002】

近年、基板上に薄膜トランジスタ（以下TFTと記す）を製造する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、多結晶半導体膜を用いたTFTは、従来の非単結晶半導体膜を用いたTFTよりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、従来基板の外に設けられた駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが試みられている。

【0003】

ところで、半導体装置に用いる基板は、コストの面から単結晶半導体基板よりも、ガラス基板が有望視されている。ガラス基板は耐熱性に劣り、熱変形しやすいため、ガラス基板上の多結晶半導体膜を用いたTFTを形成する場合には、ガラス基板の熱変形を避けるために、半導体膜の結晶化にレーザアニールが用いられる。

【0004】

レーザアニールの特徴は輻射加熱あるいは伝導加熱を利用するアニール法と比較して処理時間を大幅に短縮できることや、半導体基板又は半導体膜を選択的、局所的に加熱して、基板に殆ど熱的損傷を与えないことなどがあげられている。

【0005】

なお、ここでいうレーザアニール法とは、半導体基板又は半導体膜に形成された損傷層やアモルファス層を再結晶化する技術や、基板上に形成された非晶質半導体膜を結晶化させる技術を指している。また、半導体基板又は半導体膜の平坦化や表面改質に適用される技術も含んでいる。

【0006】

レーザアニールに用いられるレーザ発振器はその発振方法により、パルス発振と連続発振の2種類に大別される。近年では、半導体膜の結晶化においてエキシマレーザのようなパルス発振のレーザ発振器よりもArレーザやYVO₄レーザのような連続発振のレーザ発振器（CWレーザともいう）を用いると、半導体膜内に形成される結晶の粒径が大きくなることが見出されている。レーザビームの照射の際には、照射面におけるレーザビームの形状が線状となるように光学系にて整形し、レーザビームの照射位置を照射面に対し相対的に移動させて照射する。この方法は、高い生産性を持つため工業的に優れている。

【0007】

なお、ここでいう「線状」とは、厳密な意味で「線」を意味しているのではなく、アスペクト比が大きい矩形や楕円（例えば、アスペクト比が10以上（好ましくは100～1000））を意味する。

【0008】

このようにして、半導体膜内の結晶粒径が大きくなると、この半導体膜を用いて形成されるTFTチャネル領域に入る粒界の数が減るので移動度が高くなり、より高性能なデバイスの開発に利用することができる。そのため、連続発振のレーザ発振器は脚光を浴びている。

【0009】

なお、本明細書では、半導体膜において粒径の大きな結晶が形成される領域を大粒径領域と呼び、粒径の小さな結晶が形成される領域を結晶性不良領域と呼ぶ。

【0010】

半導体膜のレーザアニールには可視から紫外域の波長を持ったレーザビームが多く用いられる。これは、半導体膜へのエネルギーの吸収効率が良いためである。しかし、一般的に用いられている固体のCWレーザが発振する基本波の波長は、赤から近赤外にわたる波長領域である。そこで、非線形光学素子を用いて可視域以下の波長の高調波に変換する方法が用いられている。一般的には、非線形光学素子を用いて、基本波を高調波に変換することによって可視光とし、この光を半導体膜のアニールに用いる。

【0011】

例えば、10W、532nmのCWレーザから発振されたレーザビームを長軸方向300 μ m、短軸方向10 μ m程度の線状ビームに整形する。この線状ビームを短軸方向に走査させて半導体膜を結晶化した場合、一度の走査で得られる大粒径領域の幅は200 μ m程度となる。このため、基板全面をレーザ結晶化するためには、線状ビームの走査する位置を、線状ビームの一度の走査によって得られた大粒径領域の幅ずつ、長辺方向にずらしてレーザアニールを行う必要がある。また、レーザを複数用いて基板上的異なる領域を同時に照射してアニールを行えば、さらに効率を上げることができる。

【0012】

なお、CWレーザによる半導体膜の結晶化工程によって、大粒径領域とは別に、結晶性不良領域が形成される。その結晶性不良領域は、線状ビームの両端におけるレーザビームのエネルギーの低下した部分に形成される。従って、その結晶性不良領域は、大粒径領域を挟んで両脇に形成される。結晶性不良領域を含む部分に半導体素子を形成すると、大粒径領域に形成される半導体素子と比較して特性の劣るものが得られる。一般的なTFTの作製方法は、基板上に成膜した半導体膜を照射面とし、この半導体膜にマーカーなどを形成した後、この半導体膜の半導体素子が形成される部分に結晶性不良領域が形成されないようにレーザを照射し、大粒径領域を形成するものである。従って、レーザを照射する位置を正確に決定する必要がある。これを実現するために、照射面に基準となるマーカーを設け、このマーカーをCCDカメラ等で検出し、コンピュータを用いて画像処理を行うことによって照射位置の制御を行う手法が用いられている。また、このマーカーは、レーザ結晶化工程の後のフォトリソグラフィ工程において、露光位置を決定するために用いられている。

【発明の開示】

【発明が解決しようとする課題】

【0013】

レーザアニールを産業用として用いる場合、レーザを複数用いて基板上的異なる領域を同時に照射してアニールを行うとスループットが良くなる。

【0014】

しかしながら、レーザを複数用い、基板上に形成された半導体膜を照射面としてレーザアニールを行う工程において、その複数のレーザによって得られるレーザ照射領域の間隔を厳密に同一にすることは難しい。

【0015】

図3(A)に3台の固体レーザ301、302、303を用いて基板304上の非晶質半導体膜305にレーザアニールを行う例を示す。固体レーザ301と302、および固体レーザ302と303の間隔であるAとBを全く同一にすることは困難であり、通常ではわずかに異なる。このまま固体レーザ301～303からレーザビームを射出し、非晶質半導体膜305上で形成されるビームスポット306を相対的に走査させてアニールを行うと、隣り合うレーザ照射領域の間隔CとDも異なる。

【0016】

次に、半導体膜をパターンニングするためのフォトリソグラフィ工程を行う。フォトリソグラフィ工程では、基板上に形成されたマーカー307を基に露光を行う。つまり、露光用光源308は隣り合うレーザ照射領域の間隔CとDが同じであることを前提にして、図3(B)に示すように露光を行う。すると、結晶化されていない領域に露光されたり、結

晶化されているのに露光されない領域ができてたりする。つまり、所望の領域からずれた部分に、結晶化領域が形成されるため、結晶性不良領域に半導体素子が形成されることも起こり得る。例えば結晶性不良領域にTF Tを形成した場合、大粒径領域に形成されたTF Tと比較すると、そのTF Tの特性は劣る。その結果、TF T間で特性にバラツキがでるため好ましくない。

【0017】

本発明は、結晶化領域と露光領域とのずれをなくし、結晶化領域、特に結晶化領域中の大粒径領域を確実に露光できるような露光装置と、この露光装置を利用した半導体装置の作製方法を提供することを課題とする。

【課題を解決するための手段】

【0018】

本発明は、レーザ結晶化工程の次に行われる工程であるフォトリソグラフィ工程において、レーザ結晶化工程で得られたレーザ照射領域をマーカーとし、露光用光源の露光位置をこのレーザ照射領域中の大粒径領域に合わせ、露光を行うことを特徴とする。大粒径領域に合わせて露光用光源の位置を調節することで、大粒径領域がどこにあっても確実に露光することができる。

【0019】

露光用光源による露光の開始位置を決定するにあたって、レーザ発振器によって結晶化される領域（以下、レーザ照射領域とする）に含まれる大粒径領域の位置を検出する必要がある。この検出には、レーザ照射領域に含まれる二つの領域、すなわち大粒径領域と結晶性不良領域との特性の違いを利用する。

【0020】

CWレーザのシングルモード（TEM₀₀）における強度分布はガウス型であり、レーザビームの中央から端部に向かって強度が弱まる傾向を有している。このため、ビームスポットの端部はエネルギーが弱く、大粒径の結晶を得るには不十分である。従って、このCWレーザを用いて半導体膜を結晶化させると、CWレーザの照射によって形成されたレーザ照射領域中には、大粒径領域と結晶性不良領域とが形成される。

【0021】

図4は、図3に示したレーザ照射領域の拡大図であり、基板400上の半導体膜401にレーザ照射を行った後の様子を示している。大粒径領域402はその表面が比較的平坦である一方、結晶性不良領域403の表面には半導体膜400の厚さと同程度の高さを有する凹凸が形成される。凹凸のある面では、凹凸によって図4に示すように光が散乱されるため、大粒径領域402および結晶性不良領域403に光を当てると、散乱光の強度が異なる。この特性を利用してレーザ照射領域の端部を検出する。また、このレーザ照射領域の端部をマーカーとして露光用光源の露光位置を決定すると、マーカーを別途形成する必要がなく、マーカー形成のための工程をなくすことができる。

【0022】

例えば、基板表面の凸凹と光の損失を相関づけるために、次式が用いられている（航空電子技報No. 26（2003.3） 特定テーマ 4 半導体製造装置向け光学素子の開発）。

【数1】

$$Loss = 1 - \exp \left[- (4\pi\sigma \cos(\theta)/\lambda)^2 \right]$$

【0023】

実際には、凹凸と平坦部を区別できる波長の光、すなわち凹凸部と平坦部とで光の損失に明らかな差があることが分かる波長の光を用いて凹凸部と平坦部の検出を行う。

【0024】

本発明は以下の構成を有する。

【0025】

本発明で開示する発明の一つは、光の散乱強度が異なる複数の領域を有する照射面に光を照射するための光源と、照射面からの反射光を受光するセンサと、受光した光より散乱強度を求める手段と、散乱強度よりこの複数の領域を検出する手段と、この複数の領域のうち、任意の一つの領域の位置に露光用光源を合わせて露光を行う露光用光源とを有する。

【0026】

他の発明の構成は、光の散乱強度が異なる複数の領域を有する照射面に光を照射するための光源と、照射面からの反射光を受光するセンサと、受光した光より反射強度を求める手段と、反射強度よりこの複数の領域を検出する手段と、この複数の領域のうち、任意の一つの領域の位置に露光用光源を合わせて露光を行う露光用光源とを有する。

【0027】

上記発明の構成において、光源から射出する光は、青色光または青色光より短い波長の光であることを特徴とする。なお、この光はレーザであってもよい。

【0028】

また、上記発明の構成において、光源と、センサと、露光用光源は一体化していることを特徴とする。

【0029】

上記発明の構成において、センサはCCD、フォトダイオード、フォトランジスタ、フォトIC、光電子増倍管またはCMOSセンサを有することを特徴とする。

【0030】

また、上記発明の構成において、一定周期で光を照射する手段と、この周期と同期した反射光を検出することができる手段とを有することを特徴とする。

【0031】

また、上記発明の構成において、受光した反射光のデータを二値化する手段、または濃淡エッジ検出をする手段を有することを特徴とする。

【0032】

他の発明の構成は、基板上の半導体膜にレーザを照射して光の散乱強度が異なる複数の領域を形成する。次に、この基板に光を照射したときに得られる反射光を受光し、受光した反射光より散乱強度を求める。次に、得られた散乱強度よりこの複数の領域を検出し、この複数の領域のうち任意の一つの領域に露光用光源を合わせて露光を行うことを特徴とする。

【0033】

上記の構成において、青色光または青色光より短い波長の光を照射すると、得られる散乱強度に差が出るため、より正確に位置を特定することができる。

【0034】

他の発明の構成は、基板上の半導体膜にレーザを照射して光の散乱強度が異なる複数の領域を形成する。次に、この基板に光を照射したときに得られる反射光を受光し、反射強度を測定する。次に、得られた反射強度よりこの複数の領域を検出し、この複数の領域のうち任意の一つの領域に露光用光源を合わせて露光を行うことを特徴とする。

【0035】

上記の構成において、青色光または青色光より短い波長の光を照射すると、得られる反射強度に差が出るため、より正確に位置を特定することができる。

【0036】

また、上記の構成において、青色光または青色光より短い波長を有するレーザを用いてもよい。

【0037】

また、上記構成において、青色光または青色光より短い波長の光を照射して光の散乱強

度が異なる複数の領域を検出しながら露光用光源の位置を制御してもよい。光の散乱強度が異なる複数の領域の検出と、露光用光源の位置制御を同時に行うことによって、スループット良く露光を行うことができる。

【0038】

上記の構成において、CCD、フォトダイオード、フォトトランジスタ、フォトIC、光電子増倍管、CMOSセンサなどを用いることができる。また、得られたデータに対して二値化処理を行う、または濃淡エッジ検出を行うなどの方法を用いてもよい。

【0039】

また、上記の構成において、一定周期毎に光が照射されるようにし、その周期と同期した散乱光のみを検出するようにすると、周囲の光の影響を受けず、良好に大粒径領域の検出を行うことができる。

【発明の効果】

【0040】

本発明により次のような利点を得られる。第一に、大粒径領域をマーカーとしてフォトリソグラフィ工程を行うことができるので、マーカーを形成する必要がなくなる。つまり、従来は別途マーカーを形成するために必要だった工程をなくすことができる。

【0041】

第二に、大粒径領域に合わせて露光用光源の露光を行うため、大粒径領域がどこにあってもしっかりと露光することができる。すなわち大粒径領域と露光領域とが一致するため、この領域にTF Tを作製することができる。そのため、それぞれのTF Tの特性は高く、特性のバラツキは少なくなる。

【発明を実施するための最良の形態】

【0042】

以下に本発明の実施の様態を図面を用いて説明する。なお、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、本発明は、本実施の形態の記載内容に限定して解釈されるものではない。

【0043】

本実施の形態では、検出方法としてCCDを用いたカメラを用いる方法について図を用いて説明する。短波長の単色光（図示せず）を半導体膜上に照射し、大粒径領域と結晶性不良領域からの散乱光をCCDカメラで検出する。検出した散乱光を認識することによって、大粒径領域の位置を検出する。結晶性不良領域の表面には半導体膜の厚さと同程度の高さを有する凸部があるため照射された光は散乱し、その散乱光の強度は高い。一方、大粒径領域は結晶性不良領域と比較して平坦性が高いため散乱光の強度は低い。

【0044】

図5は、表面の粗さと散乱損失の関係を示すグラフである。散乱損失（Loss）は引用文献の5ページ目に記載の式

【数2】

$$Loss = 1 - \exp \left[- \left(4\pi\sigma \cos(\theta) / \lambda \right)^2 \right]$$

に入射角 θ 、表面粗さ σ 、波長 λ を代入して求めた。照射面に対する入射角は0度である。また、結晶性不良領域の凸部は30nm、大粒径領域の表面の凸部は5nm程度の高さを有しているため、結晶性不良領域の表面粗さは30nm、大粒径領域の表面粗さは5nmとした。

【0045】

図5の横軸は波長 λ (nm)、縦軸は散乱損失(%)である。散乱損失が高いほど散乱強度が高い。従って、図5から、結晶性不良領域は大粒径領域と比較して全体的に散乱強度が高いことがわかる。しかし、照射する波長によっては、コントラストを得ることが難しくなる。

【0046】

例えば、赤色光(波長650~780 nm程度)を用いた場合には、両領域の散乱強度に大きな差がない。従って、この場合はCCDカメラで結晶性不良領域と大粒径領域を検出することが難しくなる。その一方、青色光(波長450~490 nm程度)を用いると、赤色光に比べて倍以上のコントラストが得られるため、結晶性不良領域と大粒径領域の検出が可能であると考えられる。

【0047】

そこで、本発明者は、半導体膜のレーザ結晶化を終えた基板に白色光と青色光とを別々に照射した状態で写真を撮り、大粒径領域と結晶性不良領域との反射光強度に差が見られるか実験を行った。この結果を図23および図24に示す。凹凸の多い結晶性不良領域では、基板表面で散乱されて反射光が少なくなるために暗く見え、凹凸の少ない大粒径領域では、反射光が多くなるために明るく見える。図23は白色光を基板に対して垂直に照射したものを撮影した写真であり、レーザ照射領域の端部(結晶性不良領域)と中央部(大粒径領域)との間に、明らかなコントラスト差は見られなかった。その一方、図24は青色光を基板に対して垂直に照射したものを撮影した写真であり、レーザ照射領域の端部(結晶性不良領域)と中央部(大粒径領域)との間に、明らかなコントラスト差が得られていることが分かる。

【0048】

従って、この実験により、白色光より青色光の方が高いコントラストが得られるため、青色光を用いる方が大粒径領域と結晶性不良領域の検出が容易であることがわかる。白色光にはR(赤)、G(緑)、B(青)の三色が混合しているが、この三色のうち、青色では検出が可能だったことから、白色光では他の長波長が影響して検出を困難にしていると考えられる。従って、大粒径領域の検出には青色光以下の短波長を用いることが好ましいと言える。

【0049】

ただし、短波長になるに伴って、微小な凹凸からの散乱強度が増加する。図5のグラフに示すように、波長が短すぎると、結晶性不良領域と大粒径領域とのコントラスト比が小さくなるため、両者の検出ができなくなる。従って、結晶性不良領域と大粒径領域とを判別可能な波長の光を用いればよい。そこで、本実施の形態では青色光を半導体膜に照射し、CCDカメラを用いて結晶性不良領域と大粒径領域とを検出する。

【0050】

実際の工程の概略は図1(A)、(B)に示すようになる。まず、非単結晶半導体膜102を形成した基板101を用意する。次に、非単結晶半導体膜102を照射面としたレーザ結晶化工程を行う。このレーザ結晶化工程ではYAGレーザやYVO₄レーザなどの固体レーザを複数用いて行う。それは、効率よく結晶化を行うためである。それぞれのレーザビームのビームスポットは、照射面において線状のビームスポット106になるように、それぞれ光学系を用いて整形し、ビームを線状ビームスポット106の短辺方向に走査させてレーザアニールを行う。この工程により、複数のレーザによるレーザ照射によって形成された複数のレーザ照射領域103が形成される。

【0051】

レーザ結晶化工程を終えた後、フォトリソグラフィ工程を行う。この工程の際に、露光用光源105の露光開始位置を決定するために、青色光を非単結晶半導体膜102に照射しながら、露光用光源105と一体化させたCCDカメラ104をビームスポットの走査方向に垂直な方向における基板の一端から、ビームスポットの走査方向に垂直な方向へと少しずつ移動させる。そして、非単結晶半導体膜102から反射された青色光をCCDカ

メラ104で受光し、受光した光のデータをコンピュータなどの情報処理装置へ出力する。情報処理装置では、大粒径領域107と結晶性不良領域108での散乱光のコントラスト比が大きいことを利用して、大粒径領域107と結晶性不良領域108の位置を特定する。

【0052】

また、図6に示す方法を用いて大粒径領域601と結晶性不良領域602の位置を検出することもできる。図6(A)に示すように、X方向を散乱光測定の方、Y方向をレーザ照射方向とする。また、X方向とY方向とは垂直であるとする。光603は線状または矩形状に整形され、照射面である基板604に光603の長辺方向がY方向と平行になるように入射し、同時刻における反射光を平面状のCCDカメラ605で受光することによって、散乱光を測定する。ある瞬間、例えばX方向の座標 x_1 におけるY方向の散乱光のデータは図6(B)のようになる。このY方向の散乱光のデータを情報処理装置で平均化することによって、座標 x_1 における散乱強度を算出する。さらに、光603とCCDカメラ605を基板604に対して相対的にX方向に移動させて、散乱光の測定を行う。このようにして得られたX方向のそれぞれの位置におけるY方向に平均化された散乱光のデータは図6(C)のようになる。

【0053】

このデータより、図6(C)の(2)にあたる大粒径領域601と、(1)および(3)にあたる結晶性不良領域602とを判別することができる。この方法を用いると、光603をスポット状として半導体膜に入射したときの反射光をCCDカメラで受光して散乱光を測定する場合より、大粒径領域601と結晶性不良領域602とを正確に判別することができる。

【0054】

大粒径領域を検出した時点で露光用光源105及びCCDカメラ104の移動と青色光の照射とを止め、露光用光源による露光を開始する。露光用光源105とCCDカメラ104とを一体化させることによって、大粒径領域107が検出された位置から露光を開始できるので、大粒径領域107と露光領域108を確実に一致させることができる。

【0055】

こうして1箇所のレーザ照射領域の露光が終了した後、隣のレーザ照射領域も同様にCCDカメラ104と露光用光源105を用いて大粒径領域を検出し、露光を行う。この一連の動作を繰り返すことで、基板101全面の大粒径領域107を確実に露光することができる。

【0056】

なお、本実施の形態では、散乱強度を求めて大粒径領域の位置を検出しているが、反射光の強度より大粒径領域の位置を検出しても良い。

【実施例1】

【0057】

本実施例では、別途設けたレーザを用いて大粒径領域と結晶性不良領域を検出する例を説明する。

【0058】

まず、実施の形態1と同様に、基板201上に非単結晶半導体膜202を形成したものを用意する。次に、図2(A)に示すように、非単結晶半導体膜202を照射面として、レーザを照射してレーザ照射領域203を形成する。

【0059】

次に、フォトリソグラフィ工程を行う場所を決めるためにレーザ照射領域203中の大粒径領域204を検出する。本実施例では、レーザ205と光センサ206を用いる。

【0060】

レーザ205の波長は、実施の形態1で説明した通り、大粒径領域204と結晶性不良領域207を検出可能な波長であることが必要である。本実施の形態では、波長が300～400nm程度のレーザ、例えばXeClエキシマレーザ(308nm)、XeFエキ

シマレーザ（351 nm）、窒素レーザ（337 nm）等を用いることができる。また、他のレーザを用いる場合は、非線形光学素子を用いて、300～400 nm程度の波長の高調波に変換すれば用いることができる。また、レーザの替わりに、青色ダイオード（ガリウム窒素（405 nm））などを用いても良い。

【0061】

光センサ206は、非単結晶半導体膜202から反射される光を受光するために用いる。大粒径領域204と結晶性不良領域207とを区別するためには、受光した光量と出力の直線性が良いものを用いるとより好ましい。ここで用いる光センサ206として、フォトダイオード、フォトトランジスタ、フォトICなどを挙げることができる。また、光センサ206はこれらに限らず、CCD、CMOSセンサ、光電子増倍管なども同様に用いることができる。

【0062】

さらに、光センサ206の周囲の光（外乱光）を遮断することによって、より正確に大粒径領域204と結晶性不良領域207を検出することが可能になる。そこで、光センサ206を内蔵した光変調型光センサを用いることができる。

【0063】

その使用方法是図7を用いて説明する。まず、レーザ発振器701から出たレーザが、規定周期毎に照射面702に照射されるようにする。具体的には、レーザ発振器701としてパルスレーザを用いる、一定周期毎に開閉するスリット703をレーザの光路上に設置する、などの方法を用いて、周期的に照射面702にレーザを照射する。図7（a）では、一定周期毎に開閉するスリットを用いた例を示している。照射面702から反射された光は光センサ704で受光する。光センサ704は、例えば図7（b）に示す構造を持ち、フォトダイオード、フォトトランジスタ、フォトICなどを用いた受光素子705と、照射面に照射される光の周期と同期した反射光のみを取り出すハイパスフィルタ706を設ける。ハイパスフィルタ706を通過することによって、図7（c）に示すように、外乱光を含んだデータから反射光のデータのみを取り出すことができる。ここで得られた反射光のデータは、出力端子707から出力される。

【0064】

これらの手段を用い、実施の形態1に示した方法と同様に大粒径領域を検出する。結晶性不良領域の表面には半導体膜の厚さと同程度の高さを有する凸部があるため照射された光は散乱し、その散乱光の強度は高い。一方、大粒径領域は結晶性不良領域と比較して平坦性が高いため散乱光の強度は低い。従って、図5および図7（c）に示すように、大粒径領域と結晶性不良領域とでは散乱強度が異なる。そのため、高いコントラストが得られ、検出が可能になる。

【0065】

大粒径領域を検出した後、図2に示すように、露光用の光源208による露光を行う。なお、実施の形態と同様に、レーザ発振器205、光センサ206、および露光用光源208は一体化させておく。また、図2および図7では、照射面に対して斜めからレーザを照射するようにしているが、照射の方向は斜めには限らない。照射面に対して垂直な方向からレーザを入射してもよい。

【0066】

こうして、基板全面の大粒径領域を露光し、その後種々の工程を行うことによって、この領域にTFEを作製することができる。

【0067】

本発明を用いることによって、レーザ照射によって形成される大粒径領域に露光用光源の露光位置を合わせることができる。そのため、（1）マーカーが不要となり、マーカーの形成工程が不要となる、（2）大粒径領域に合わせて露光を行うことができるため、露光された半導体膜を用いて半導体装置を作製すると、その半導体装置の特性は高く、特性のばらつきが少なくなる。

【0068】

本実施例は、実施の形態および他の実施例と自由に組み合わせることができる。なお、本実施例ではレーザを用いて大粒径領域と結晶性不良領域を検出する例を示しているが、レーザに限られるものではなく、実施の形態で用いたような青色光を用いることもできる。

【0069】

また、本実施例では散乱強度を求めて大粒径領域の位置を検出しているが、反射光の強度より大粒径領域の位置を検出しても良い。

【実施例2】

【0070】

本実施例では、本発明を用いて作製したCMOS型トランジスタの作成過程を図を用いて説明する。

【0071】

図8(A)は、基板800上に形成した非晶質半導体膜802に対して複数のレーザ照射装置を用いてレーザ照射を行った直後の状態を示している。以下では、この図における点Aと点Bを結んだ点線の断面から見た作製過程を説明する。

【0072】

図8(B)に示すように、絶縁表面を有する基板800上に下地膜801を形成する。本実施例では、基板800としてガラス基板を用いる。なお、ここで用いる基板には、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミックス基板、ステンレス基板などを用いることができる。また、PET(Polyethylene Terephthalate: ポリエチレンテレフタレート)、PES(Polyethersulphone Resin: ポリエーテルサルホン樹脂)、PEN(Polyethylene Naphthalate: ポリエチレンナフタレート)に代表されるプラスチックや、アクリルなどに代表される合成樹脂を原料とする基板は、一般的に他の基板と比較して耐熱温度が低い傾向にあるが、本工程の処理に耐え得るのであれば用いることができる。

【0073】

下地膜801は、基板800に含まれるナトリウムなどのアルカリ金属やアルカリ土類金属が半導体中に拡散し、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。このため、アルカリ金属やアルカリ土類金属の半導体中への拡散を抑えることのできる酸化珪素や窒化珪素、窒化酸化珪素などの絶縁膜を用いて形成する。また、下地膜801は単層または積層構造のいずれでもよい。本実施例では、プラズマCVD法(Chemical Vapor Deposition: 化学気相成長法)を用いて窒化酸化珪素膜を10~400nmの膜厚になるように成膜した。

【0074】

なお、基板800として、ガラス基板またはプラスチック基板のようにアルカリ金属やアルカリ土類金属が多少なりとも含まれている基板を用いている場合には、不純物の拡散を防ぐために下地膜を設けることは有効であるが、石英基板など不純物の拡散がさほど問題にならない基板を用いる場合には必ずしも下地膜701を設ける必要はない。

【0075】

次いで、下地膜801上に非晶質半導体膜802を形成する。非晶質半導体層702は、公知の方法(スパッタリング法、LPCVD法、プラズマCVD法など)により、25~100nm(好ましくは30~60nm)の厚さで形成する。ここで用いる非晶質半導体膜は、珪素やシリコンゲルマニウムなどを用いることができるが、ここでは珪素を用いる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01~4.5atomi c %程度であることが好ましい。

【0076】

続いて図8(C)に示すように、レーザアニール装置を用いて非晶質半導体膜802にレーザ803を照射して結晶化を行う。本実施例では、レーザ803として、連続発振のセラミックスYAGレーザを用いる。セラミックYAGのレーザ結晶に、Nd、Ybなど

の複数種のドーパントを添加し、多波長発振を得る。なお、このレーザの基本波の中心波長は1030～1064 nm、発振波長の半値全幅が30 nm程度である。この基本波をレーザ発振器内の非線形光学結晶によって、中心波長515～532 nm、発振波長の半値全幅が15 nm程度の第二高調波に変換し、シリンダリカルレンズ804で集光を行った後に照射を行う。

【0077】

ここで挙げたレーザに限らず、Sapphire、YAG、セラミックスYAG、セラミックス Y_2O_3 、KGW、KYW、 Mg_2SiO_4 、YLF、 YVO_4 、または $GdVO_4$ の結晶に、Nd、Yb、Cr、Ti、Ho、Erのドーパントをいずれか1つまたは複数添加したレーザ発振器等を用いることができる。発振波長域を広げるため、複数のドーパントを添加したレーザ結晶を用い、レーザ発振器とすることが好ましい。あるいは、Ti:Sapphireレーザのように、1種類のドーパントで多波長発振を可能にするレーザもある。また、レーザ803は、公知の非線形光学素子により高調波に変換される。なお、本実施例では、レーザ803は非線形光学素子により第2高調波に変換されているが、第2高調波以外の高調波であっても構わない。

【0078】

以上の方法を用いることによって、走査方向に向かって連続的に成長した結晶粒が形成される大粒径領域705と、結晶性不良領域706が形成される。なお、図8(A)においてレーザ照射方向はY方向である。つまり、図8(C)におけるレーザ照射方向は紙面に垂直な方向である。

【0079】

その後、図8(D)において、実施の形態や実施例1と同様に、レーザビームの照射によって形成された大粒径領域805と結晶性不良領域806に、青色光以下の波長を持つ光またはレーザ光807を照射し、反射光808を測定することによって散乱光強度を求める。この散乱光の測定結果より大粒径領域805の位置を検出する。露光用光源、光807の光源、および反射光808を観測するセンサが一体となっていると、測定をしながら露光用光源を大粒径領域805に合わせることができる。

【0080】

次に、大粒径領域805の位置に露光用光源を合わせてパターニングをし、島状の半導体膜809を形成する(図9(A))。さらに、この島状の半導体膜806を覆うようにゲート絶縁膜810を形成する(図9(B))。

【0081】

ゲート絶縁膜810は、熱酸化法、プラズマCVD法、スパッタ法を用いることができる。例えば、熱酸化法によって得られる膜厚5 nmの酸化珪素膜と、CVD法で得られる膜厚10～15 nmの酸化窒化珪素膜の積層膜を形成してもよい。また、ガスを切り替えることによって連続的に成膜を行うこともできる。

【0082】

なお、ゲート絶縁膜810は上記の材料に限らず、(1)酸化珪素膜、窒化酸化珪素膜(SiN_xO_y (x と y は $x > y$ を満たす1以上の自然数))、酸化窒化珪素膜(SiN_xO_y (x と y は $x < y$ を満たす1以上の自然数))、窒化珪素膜、またはこれらの積層膜、(2)高誘電率物質(high-k材料ともいう)のタンタル酸化物、酸化ハフニウム(HfO_2)、窒化ハフニウムシリケート($HfSiON$)、酸化ジルコニウム(ZrO_2)、酸化アルミニウム(Al_2O_3)、または酸化ランタン(La_2O_3)などの希土類酸化物を用いることができる。

【0083】

次に、図9(C)に示すように、ゲート絶縁膜810上に導電膜を形成し、パターニングすることでゲート電極811、812を形成する。その概略は以下の通りになる。まず、ゲート絶縁膜810上に形成する導電膜の材料は、導電性を有する膜であれば良い。その材料として、金(Au)、銀(Ag)、銅(Cu)、白金(Pt)、アルミニウム(Al)、モリブデン(Mo)、タングステン(W)、チタン(Ti)から選ばれた元素、ま

たはこれらの元素を主成分とする合成材料または化合物材料を用いることができる。さらには、これらの材料の積層物を用いることもできる。本実施例では、W（タングステン）とTa₂N（窒化タantal）の積層膜を用いたが、Al（アルミニウム）とMo（モリブデン）を用いてMo、Al、Moの順に積層した導電膜や、Ti（チタン）とAlを用いてMo、Al、Moの順に積層した導電膜を用いても良い。特に、ゲート絶縁膜810を先述の高誘電率物質（high-k材料）を用いて形成した場合は、上記の材料を用いてゲート電極811、812を形成すると、ゲート電極の空乏化を解消し、大量の電流を流すことができるようになるため、半導体素子の低電力化に貢献する。

【0084】

そして、この導電膜をパターンするためのレジストマスクを形成する。まず、導電膜上にフォトリジストをスピンコーティング法などにより塗布し、露光を行う。次に、フォトリジストに対して加熱処理（プリベーク）を行う。プリベークの温度は50～120℃とし、後に行われるポストベークより低い温度で行う。本実施例では、加熱温度は90℃、加熱時間は90秒とした。

【0085】

次に、フォトリジストに現像液を滴下するか、あるいはスプレーノズルから現像液をスプレーすることによって、露光されたレジストを現像する。

【0086】

その後、現像されたフォトリジストを125℃、180秒で加熱処理を行ういわゆるポストベークを行い、レジストマスク中に残っている水分などを除去し、同時に熱に対する安定性を高める。以上の工程によってレジストマスクが形成される。このレジストマスクを基に導電膜をパターンニングして、ゲート電極811、812を形成する。

【0087】

なお、このほかの方法として、所定の場所に材料を吐出することが可能な印刷法やインクジェット法に代表される液滴吐出法により、ゲート電極811、812を直接ゲート絶縁膜810上に形成してもよい。

【0088】

吐出する材料は、導電体材料を溶媒に溶解または分散させたものを用いる。導電膜となる材料は、金（Au）、銀（Ag）、銅（Cu）、白金（Pt）、アルミニウム（Al）、クロム（Cr）、パラジウム（Pd）、インジウム（In）、モリブデン（Mo）、ニッケル（Ni）、鉛（Pb）、イリジウム（Ir）、ロジウム（Rh）、タングステン（W）、カドミウム（Cd）、亜鉛（Zn）、鉄（Fe）、チタン（Ti）、ジルコニウム（Zr）、バリウム（Ba）などの金属から少なくとも一種類、またはこれらの金属の合金を含むものである。溶媒は、酢酸ブチル、酢酸エチルなどのエステル類、イソプロピルアルコール、エチルアルコールなどのアルコール類、メチルエチルケトン、アセトンなどの有機溶剤などを用いることができる。

【0089】

また、組成物の粘度は300cP以下とする。これは、乾燥を防止し、吐出口から組成物を円滑に吐出するためである。なお、用いる溶媒や用途に合わせて組成物の粘度や表面張力は適宜調整すると良い。

【0090】

そして、ゲート電極811またはゲート電極812を形成する際に用いたレジストをマスクとして用い、Pチャネル型TFETを形成する部分をレジスト813で覆い、N型不純物のヒ素（As）やリン（P）を導入する。この操作によって、ソース領域814、ドレイン領域815が形成される（図10（A））。また、同様にしてNチャネル型TFETを形成する部分をレジスト816で覆い、P型不純物であるホウ素（B）を導入することによって、ソース領域817、ドレイン領域818を形成する（図10（B））。

【0091】

その後、ゲート電極811、812の側壁にサイドウォール819、820を形成する。例えば酸化珪素からなる絶縁膜を基板全面にCVD法にて形成する。この絶縁膜を異

方性エッチングをすることにより、サイドウォールを形成すればよい（図10（C））。

【0092】

次に、図10（D）に示すように、P型TF Tになる部分をレジスト821で覆い、N型の導電性を示すイオンの導入を行い、LDD領域824を形成する。なお、先程よりも高いドーズ量でN型の導電性を示すイオンを導入する。同様にして、図11（A）に示すように、N型TF Tになる部分をレジスト822で覆い、P型の導電性を示すイオンの導入を行い、LDD領域823を形成する。こちらも、先程よりも高いドーズ量でP型の導電性を示すイオンを導入する。

【0093】

以上のようにして、不純物の導入が終了したら、レーザアニール、ランプアニール、またはファーンズアニールによって処理を行い、導入した不純物の活性化と、不純物の導入による結晶格子の損傷を回復させる。

【0094】

上記の工程によって、Pチャネル型TF T825と、Nチャネル型TF T826を同一基板上に形成することができる。

【0095】

続いて、図11（B）に示すように、それらの保護膜として、絶縁膜827を形成する。この絶縁膜827は、プラズマCVD法またはスパッタ法を用い、窒化珪素膜または窒化酸化珪素膜を単層または積層構造で100～200nmの厚さに形成する。窒化酸化珪素膜と酸化窒素珪素膜を組み合わせる場合では、ガスを切り替えることによって連続成膜をすることが可能である。本実施例では、プラズマCVD法により膜厚100nmの酸化窒化珪素膜を形成した。絶縁膜827を設けることにより、酸素や空気中の水分をはじめ、各種イオン性の不純物の侵入を阻止するブロッキング作用を得ることができる。

【0096】

次いで、さらに絶縁膜818を形成する。ここでは、SOG（Spin On Glass）法またはスピコート法によって塗布されたポリイミド、ポリアミド、BCB（ベンゾシクロブテン）、アクリル、シロキサン（珪素と酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、フッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する物質が含まれている物質）などの有機樹脂膜、TOF膜、無機層間絶縁膜（窒化珪素、酸化珪素などの珪素を含む絶縁膜）、low-k（低誘電率）材料などを用いることができる。絶縁膜828は、ガラス基板上に形成されたTF Tによる凹凸を緩和し、平坦化する意味合いが強いため、平坦性に優れた膜が好ましい。

【0097】

さらに、フォトリソグラフィ法を用いてゲート絶縁膜810、絶縁膜827および絶縁膜828をパターン加工して、ソース領域814、817、およびドレイン領域815、818に達するコンタクトホールを形成する。

【0098】

次に、導電性材料を用いて導電膜を形成し、この導電膜をパターン加工することによって配線829を形成する。その後、保護膜として絶縁膜830を形成すると、図11（C）に示すような半導体装置が完成する。

【0099】

本発明の半導体装置の作製方法は、上述したTF Tの作製工程に限定されない。本実施例では、CMOS型のTF Tを作製する過程を示しているが、N型のTF T、P型のTF T、またはこの双方を基板上に形成する際に用いることもできる。また、本実施例では順スタガ型のTF Tを作製しているが、これに限らず、逆スタガ型のTF Tを作製する際にも用いることができる。

【0100】

また、レーザビームによる結晶化の前に、触媒元素を用いた結晶化工程を設けてもよい。その触媒元素としては、ニッケル（Ni）、ゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、スズ（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）

u)、金(Au)などの元素を用いることができる。また、触媒元素を添加した後に加熱処理を行うことによって結晶化を促進してもよいし、加熱処理の工程を省略してもよい。さらに、加熱処理の後、その温度を保ちつつレーザ処理を行うようにしてもよい。これらの過程の後に、本発明を用いて大粒径領域の部分に良好に露光を行うことができる。

【0101】

また、本発明を用いた半導体装置の作製方法は、集積回路や半導体表示装置の作製方法にも用いることができる。

【0102】

本発明を用いることにより、結晶性が高い大粒径領域の部分に露光位置を合わせることが可能である。従って、本発明を用いて作製した全てのTF Tの特性は高く、個々のTF Tの特性は均一である。

【0103】

また、本実施例は、実施の形態や他の実施例と自由に組み合わせることができる。

【実施例3】

【0104】

本実施例では、他の実施例で作製したTF Tを用いて形成した発光素子を用いた発光装置(上面射出構造)を作製する例について説明する。ここで、上面射出構造とは、絶縁表面を有する基板の逆側から光を取り出す構造である。

【0105】

図12は、発光装置を示す上面図、図13は図12をA-A'で切断した断面図である。点線で示された1201はソース信号線駆動回路、1202は画素部、1203はゲート側駆動回路である。また、1204は透明な封止基板、1205は第1シール材であり、第1シール材1205で囲まれた内側は、透明な第2シール材1207で充填されている。なお、第1シール材1205には基板間隔を保持するためのギャップ材が含有されている。

【0106】

なお、1208は、ソース側駆動回路1201及びゲート側駆動回路1203に入力される信号を伝送するための接続配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)1209からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤(PWB)が取り付けられていても良い。

【0107】

次に、断面構造について図13を用いて説明する。基板1310上には駆動回路及び画素部が形成されているが、ここでは、駆動回路としてソース側駆動回路1301と画素部1302が示されている。

【0108】

なお、ソース側駆動回路1301はNチャネル型TF T1323とPチャネル型TF T1324とを組み合わせたCMOS回路が形成される。また、駆動回路を形成するTF Tは、公知のCMOS回路、PMOS回路もしくはNMOS回路で形成しても良い。また、本実施例では、基板上に駆動回路を形成したドライバー一体型を示すが、必ずしもその必要はなく、基板上ではなく外部に形成することもできる。また、ポリシリコン膜を活性層とするTF Tの構造は特に限定されず、トップゲート型TF Tであってもよいし、ボトムゲート型TF Tであってもよい。

【0109】

また、画素部1002はスイッチング用TF T1311と、電流制御用TF T1312とそのドレインに電気的に接続された第1の電極(陽極)1313を含む複数の画素により形成される。電流制御用TF T1312としてはNチャネル型TF Tであってもよいし、Pチャネル型TF Tであってもよいが、陽極と接続させる場合、Pチャネル型TF Tとすることが好ましい。また、保持容量(図示しない)を適宜設けることが好ましい。なお、ここでは無数に配置された画素のうち、一つの画素の断面構造のみを示し、その一つの

画素に2つのTF Tを用いた例を示したが、3つ、またはそれ以上のTF Tを適宜、用いてもよい。

【0110】

ここでは第1の電極（陽極）1313がTF Tのドレインと直接接している構成となっているため、第1の電極（陽極）1313の下層はシリコンからなるドレインとオーミックコンタクトのとれる材料層とし、有機化合物を含む層と接する最上層を仕事関数の大きい材料層とすることが望ましい。第一の電極（陽極）としては、仕事関数が4.0 eV以上のものを用いることが望ましい。例えば、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造とすると、配線としての抵抗も低く、且つ、良好なオーミックコンタクトがとれ、且つ、陽極として機能させることができる。また、第1の電極（陽極）1313は、ITO (indium tin oxide)、酸化インジウムに2～20%の酸化珪素(SiO₂)を混合したITSO、金(Au)、白金(Pt)、ニッケル(Ni)、タングステン(W)、クロム(Cr)、モリブデン(Mo)、鉄(Fe)、コバルト(Co)、銅(Cu)、パラジウム(Pd)、亜鉛(Zn)、Pt膜、モリブデン(Mo)、または金属材料の窒化物（窒化チタンなど）の単層としてもよいし、3層以上の積層を用いてもよい。

【0111】

また、第1の電極（陽極）1313の両端には絶縁物（バンク、隔壁、障壁、土手などと呼ばれる）1314が形成される。絶縁物1314は有機樹脂膜もしくは珪素を含む絶縁膜で形成すれば良い。ここでは、絶縁物1314として、ポジ型の感光性アクリル樹脂膜を用いて図13に示す形状の絶縁物を形成する。

【0112】

成膜性を良好なものとするため、絶縁物1314の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁物1314の材料としてポジ型の感光性アクリルを用いた場合、絶縁物1314の上端部のみに曲率半径(0.2 μm～3 μm)を有する曲面を持たせることが好ましい。また、絶縁物1314として、感光性の光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。

【0113】

また、絶縁物1314を窒化アルミニウム膜、窒化酸化アルミニウム膜、炭素を主成分とする薄膜、または窒化珪素膜からなる保護膜で覆ってもよい。

【0114】

次に電界発光層1315を形成する。電界発光層1315を形成する材料としては、低分子、高分子、低分子と高分子の間の性質を持つ中分子の材料がある。本実施例では、蒸着法によって電界発光層1315を形成するため、低分子の材料を使用する。低分子材料も高分子材料も、溶媒に溶かすことでスピンコートやインクジェット法により塗布することができる。また、有機材料だけではなく、無機材料との複合材料も使用することができる。

【0115】

また、第1の電極（陽極）1313上には電界発光層1315を選択的に形成する。例えば真空度が0.7 Pa以下、好ましくは 1.3×10^{-2} ～ 1.3×10^{-4} Paまで真空排気された成膜室で蒸着を行う。蒸着の際、加熱により、予め有機化合物は気化されている。気化された有機化合物は蒸着され、電界発光層1315（第1の電極側から正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層）が形成される。なお、電界発光層1315の構成はこのような積層でなくとも良く、単層、混合層で形成されていても良い。さらに、電界発光層1315上には第2の電極（陰極）1316が形成される。

【0116】

なお、第2の電極1316（陰極）としては、仕事関数の小さい（仕事関数3.8 eV以下が目安）金属、合金、電気伝導性化合物、及びこれらの混合物などを用いることが好ましい。具体的な材料としては、元素周期律の1族又は2族に属する元素、すなわちLi

やRb、Cs等のアルカリ金属、及びMg、Ca、Sr等のアルカリ土類金属、及びこれらを含む合金(Mg:Ag、Al:Li)や化合物(LiF、CsF、CaF₂)の他、希土類金属(Ybなど)を含む遷移金属を用いて形成することができる。但し、本実施例において第2の電極(陰極)は透光性を有するため、これらの金属、又はこれらの金属を含む合金を非常に薄く形成し、ITO、IZO、ITSO又はその他の金属(合金を含む)との積層により形成することができる。

【0117】

ここでは、発光が透過するように、第2の電極(陰極)1316として、膜厚を薄くした仕事関数の小さい金属薄膜と、透明導電膜(ITO、IZO、ZnO等)との積層を用いる。こうして、第1の電極(陽極)1313、電界発光層1315、及び第2の電極(陰極)1316からなる電界発光素子1318が形成される。

【0118】

本実施例では、電界発光層1315として、正孔注入層であるCu-Pc(20nm)、ホール輸送性の第1の発光層である α -NPD(30nm)、第2の発光層であるCBP+Pt(ppy)acac:15wt%(20nm)、電子輸送層であるBCP(30nm)を順次積層することにより形成する。なお、第2の電極(陰極)1316として仕事関数の小さい金属薄膜を用いているため、ここでは電子注入層(CaF₂)を用いる必要はない。

【0119】

このようにして形成された電界発光素子1318は、白色発光を呈する。なお、ここでは、フルカラー化を実現するために着色層1331と遮光層(BM)1332からなるカラーフィルター(簡略化のため、ここではオーバーコート層は図示しない)を設けている。

【0120】

また、電界発光素子1318を封止するために透明保護積層1317を形成する。この透明保護積層1317は、第1の無機絶縁膜と、応力緩和膜と、第2の無機絶縁膜との積層からなっている。第1の無機絶縁膜および第2の無機絶縁膜としては、スパッタ法またはCVD法により得られる窒化珪素膜、酸化珪素膜、窒化酸化珪素膜(SiNO膜(組成比N>O))、酸化窒化珪素膜(SiON膜(組成比N<O))、炭素を主成分とする薄膜(例えば DLC膜、CN膜)を用いることができる。これらの無機絶縁膜は水分に対して高いブロッキング効果を有しているが、膜厚が厚くなると膜応力が増大してピーリングや膜剥がれが生じやすい。

【0121】

しかし、第1の無機絶縁膜と第2の無機絶縁膜との間に応力緩和膜を挟むことで、応力を緩和するとともに水分を吸収することができる。また、成膜時に何らかの原因で第1の無機絶縁膜に微小な穴(ピンホールなど)が形成されたとしても、応力緩和膜で埋められ、さらにその上に第2の無機絶縁膜を設けることによって、水分や酸素に対して極めて高いブロッキング効果を有する。

【0122】

また、応力緩和膜としては、無機絶縁膜よりも応力が小さく、且つ、吸湿性を有する材料が好ましい。加えて、透光性を有する材料であることが望ましい。また、応力緩和膜としては、 α -NPD、BCP、MTDATA、Alq₃などの有機化合物を含む材料膜を用いてもよく、これらの材料膜は、吸湿性を有し、膜厚が薄ければ、ほぼ透明である。また、MgO、SrO₂、SrOは吸湿性及び透光性を有し、蒸着法で薄膜を得ることができるため、応力緩和膜に用いることができる。

【0123】

本実施例では、シリコンターゲットを用い、窒素とアルゴンを含む雰囲気中で成膜した膜、即ち、水分やアルカリ金属などの不純物に対してブロッキング効果の高い窒化珪素膜を第1の無機絶縁膜または第2の無機絶縁膜として用い、応力緩和膜として蒸着法によりAlq₃の薄膜を用いる。また、透明保護積層に発光を通過させるため、透明保護積層のト

ータル膜厚は、可能な限り薄くすることが好ましい。

【0124】

また、電界発光素子1318を封止するために不活性気体雰囲気下で第1シール材1305、第2シール材1307により封止基板1304を貼り合わせる。なお、第1シール材1305、第2シール材1307としてはエポキシ系樹脂を用いるのが好ましい。また、第1シール材1305、第2シール材1307はできるだけ水分や酸素を透過しない材料であることが望ましい。

【0125】

また、本実施例では封止基板1304を構成する材料としてガラス基板や石英基板の他、FRP(Fiberglass-Reinforced Plastics)、PVF(ポリビニルフロライド)、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。また、第1シール材1305、第2シール材1307を用いて封止基板1304を接着した後、さらに側面(露呈面)を覆うように第3のシール材で封止することも可能である。

【0126】

以上のようにして電界発光素子1318を第1シール材1305、第2シール材1307に封入することにより、電界発光素子1318を外部から完全に遮断することができ、外部から水分や酸素といった電界発光層1315の劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置を得ることができる。

【0127】

また、第1の電極(陽極)1313として透明導電膜を用いれば両面発光型の発光装置を作製することもできる。

【0128】

本実施例は、本発明の実施の形態または他の実施例と自由に組み合わせることができる。また、発光素子を用いた表示装置に限らず、本発明を用いて結晶化を行った半導体膜を用いて、液晶を用いた表示装置を作製することが可能である。

【実施例4】

【0129】

本発明を用いて作製した半導体素子を用いて、さまざまな半導体装置を作製することができる。本実施例では、本発明を用いて作製する半導体装置の1つの例として、CPU(中央演算装置:Central Processing Unit)を作製する過程と、TFTを用いた各種回路を構成する例を図を用いて示す。

【0130】

図14(A)は、基板1400上に形成した非晶質半導体膜1402に対して複数のレーザー照射装置を用いてレーザー照射を行った後に、大粒径領域と結晶性不良領域とを判別するために青色光以下の長さの波長の光を照射し、青色光の光源と一体化している受光素子1406を用いて受光している状態を示している。以下で、図14(A)の点線A-Bの断面から見た作製過程を説明する。

【0131】

図14(B)に示すように、絶縁表面を有する基板1400上に下地絶縁膜1401を形成する。基板1400には、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板を用いることができる。また、PET、PEs、PENに代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板は、一般的に他の基板と比較して耐熱温度が低い傾向にあるが、本作製工程における処理温度に耐え得るのであれば用いることが可能である。

【0132】

下地絶縁膜1401は基板1400中に含まれるNaなどのアルカリ金属アルカリ土類金属が、半導体膜中に拡散し、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。よってアルカリ金属やアルカリ土類金属の半導体膜への拡散を抑えることができる酸化珪素や、窒化珪素、窒素を含む酸化珪素などの絶縁膜を用いて形成する。

【0133】

下地絶縁膜1401上に非晶質半導体膜1402を形成する。非晶質半導体膜1402の膜厚は25~100nm(好ましくは30~60nm)とする。また非晶質半導体は珪素だけではなくシリコンゲルマニウムも用いることができ、シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01~4.5atomic%程度であることが好ましい。ここでは66nmの珪素を主成分とする半導体膜(非晶質珪素膜、アモルファスシリコンとも表記する)を用いる。

【0134】

その後、図14(C)に示すように、実施の形態や他の実施例で説明したのと同様にし、非晶質半導体膜1402に複数のレーザー1403を用いてレーザー照射を行う。この処理によって非晶質半導体膜1402は結晶化され、大粒径領域1404と結晶性不良領域1405が形成される。なお、レーザー照射は図14(A)におけるY方向に行っている。

【0135】

次いで、図14(D)に示すように、フォトリソグラフィ工程を行う場所を決めるために、青色光を非晶質半導体膜1402および結晶構造を有する半導体膜1404に対して垂直に照射し、青色光の光源と一体化している受光素子1406で反射光を測定する。得られた反射光より、表面の散乱光強度を求め、大粒径領域1404を検出する。なお、受光素子1406は、他の実施例で示したものをを用いることができる。

【0136】

次に、図15(A)に示すように、大粒径領域1404の位置を検出したら、大粒径領域1404の位置に露光用光源1407を合わせて所定の形状にパターンニングし、島状の半導体層1408a~1408cを得る。なお、露光用光源1407および受光素子1406が一体となっていると、測定をしながら露光用光源1407を大粒径領域1404に合わせることができる。

【0137】

次いで、必要があれば、薄膜トランジスタの電気特性であるしきい値をよりゼロに近づかせるために不純物元素(ボロンなど)を微量に添加する。

【0138】

次いで、図15(B)に示すように、島状の半導体層1408a~1408cを覆う絶縁膜、いわゆるゲート絶縁膜1409を形成する。なお、ゲート絶縁膜1409の形成前に、島状の半導体膜の表面をフッ酸等により洗浄する。ゲート絶縁膜1409は熱酸化法、プラズマCVD法またはスパッタ法を用い、厚さを10~150nm、好ましくは20~40nmとしてシリコンを含む絶縁膜で形成する。

【0139】

また、ゲート絶縁膜1409は上記の材料に限らず、(1)酸化珪素膜、窒化酸化珪素膜(SiN_xO_y (x と y は $x>y$ を満たす1以上の整数))、酸化窒化珪素膜(SiN_xO_y (x と y は $x<y$ を満たす1以上の整数))、窒化珪素膜、またはこれらの積層膜、(2)高誘電率物質(high-k材料ともいう)のタンタル酸化物、酸化ハフニウム(HfO_2)、窒化ハフニウムシリケート(HfSiON)、酸化ジルコニウム(ZrO_2)、酸化アルミニウム(Al_2O_3)、または酸化ランタン(La_2O_3)などの希土類酸化物を用いることができる。ゲート絶縁膜1409を窒化酸化珪素膜と酸化窒化珪素膜の積層とする場合には、ガスを切り替えて連続成膜を行っても良い。

【0140】

その後、ゲート絶縁膜1409上にゲート電極となる第1の導電膜1410a、第2の導電膜1410bを形成する。ここではゲート電極を2層構造としたが、勿論、単層であっても3層以上の積層であってもよい。導電膜1410a、1410bは、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、またはこれらの元素を主成分とする合金材料もしくは化合物材料で形成すればよい。

【0141】

次いで、図15(C)に示すように、第1の導電膜1410a、第2の導電膜1410

bを、エッチングするためのレジストマスク1411を形成する。なお、レジストマスク1411の端部はテーパー形状を有すればよく、レジストマスクの形状は扇形、又は台形となってもよい。

【0142】

次いで、図15(D)に示すように、レジストマスク1411を用いて、第2の導電膜1410bを選択的にエッチングする。なお、第1の導電膜1410aは、ゲート絶縁膜1409や半導体膜1406a~1406eがエッチングされないよう、いわゆるエッチングストッパーとして機能する。エッチングされた第2の導電膜1410bは、 $0.2\mu\text{m}$ 以上 $1.0\mu\text{m}$ 以下のゲート長を有する。

【0143】

次いで、図15(E)に示すように、レジストマスク1411を設けた状態で、第1の導電膜1410aをエッチングする。このとき、ゲート絶縁膜1409と、第1の導電膜1410aとの選択比の高い条件で第1の導電膜1410aをエッチングする。この工程により、レジストマスク1411、第2の導電膜1410bも多少エッチングされ、さらに細くなることがある。以上のようにゲート長が $1.0\mu\text{m}$ 以下と非常に小さいゲート電極1410が形成される。

【0144】

次に、図16(A)に示すように、レジストマスク1411を O_2 アッシングやレジスト剥離液により除去し、不純物添加用のレジストマスク1412を適宜形成する。ここでは、Pチャネル型TF Tとなる領域を覆うようにレジストマスク1412を形成する。

【0145】

次いで、Nチャネル型TF Tとなる領域に、ゲート電極1410をマスクとして自己整合的に不純物元素であるリン(P)を添加する。ここでは、フォスフィン(PH_3)を $60\sim 80\text{keV}$ でドーピングする。この工程によって、Nチャネル型のTF Tとなる領域に、不純物領域1413a、1413bが形成される。

【0146】

次いで、レジストマスク1412を除去して、Nチャネル型TF Tとなる領域を覆うようにレジストマスク1414を形成する。次いで、図16(B)に示すように、ゲート電極1410をマスクとして、自己整合的に不純物元素であるボロン(B)を添加する。この工程によって、Pチャネル型TF Tとなる領域に不純物領域1415が形成される。

【0147】

次いで、レジストマスク1414を除去した後、図16(C)に示すように、ゲート電極1410の側面を覆う絶縁膜、いわゆるサイドウォール1416a~1416cを形成する。サイドウォール1416a~1416cは、プラズマCVD法や減圧CVD(LP CVD)法を用いて、珪素を有する絶縁膜を形成した後、エッチングを行うことにより形成することができる。

【0148】

次いで、Pチャネル型のTF T上にレジストマスク1417を形成し、フォスフィン(PH_3)を $15\sim 25\text{keV}$ でドーピングし、高濃度不純物領域、いわゆるソース領域及びドレイン領域を形成する。この工程によって、図16(D)に示すように、サイドウォール1416a、1416cをマスクとして、自己整合的に高濃度不純物領域1418a、1418cが形成される。

【0149】

次いで、レジストマスク1417を O_2 アッシングやレジスト剥離液により除去する。

【0150】

さらに、レーザアニール、ランプアニール、またはファーンেসアニールによって処理を行い、導入した不純物の活性化と、不純物の導入による結晶格子の損傷を回復させる。また、基板を窒素雰囲気中で 550°C に加熱することにより不純物領域の活性化を行ってもよい。

【0151】

次に、図17(A)に示すように、ゲート絶縁膜1409およびゲート電極1410を覆う第1の層間絶縁膜1419を形成する。第1の層間絶縁膜1419は水素を有する無機絶縁膜、例えば窒化珪素膜を用いる。

【0152】

その後、加熱処理を行い、水素化を施す。第1の層間絶縁膜1419に含まれる窒化珪素膜から放出される水素により、酸化珪素膜や珪素膜のダングリングボンドを終端する。

【0153】

次いで、第1の層間絶縁膜1419を覆うように第2の層間絶縁膜1420を形成する。第2の層間絶縁膜1420は、無機材料（酸化珪素、窒化珪素、酸素を含む窒化珪素など）、感光性または非感光性の有機材料（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジストまたはベンゾシクロブテン）、珪素（Si）と酸素（O）との結合で骨格構造が構成され、置換基に少なくとも水素を含む、または置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料、いわゆるシロキサン、及びそれらの積層構造を用いることができる。

【0154】

次いで、ゲート絶縁膜1408、第1の絶縁膜1419、第2の絶縁膜1420に開口部、いわゆるコンタクトホールを形成する。そして、図17(B)に示すように各不純物領域と接続する配線1421a~1421cを形成する。また、必要であれば、同時にゲート電極と接続する配線も形成する。なお、これらの配線は、アルミニウム（Al）、チタン（Ti）、モリブデン（Mo）、タングステン（W）もしくはシリコン（Si）の元素からなる膜又はこれらの元素を用いた合金膜を用いればよい。加えて、これらの配線は、ニッケル、コバルト、鉄のうち少なくとも1種の元素、及び炭素を含むアルミニウム合金膜で形成してもよい。

【0155】

以上のようにして、低濃度不純物領域を有するように形成するLDD構造からなり、ゲート長が $1.0\mu\text{m}$ 以下となるNチャネル型の薄膜トランジスタを形成することができる。また、低濃度不純物領域を有さないように形成するいわゆるシングル・ドレイン構造からなり、ゲート長が $1.0\mu\text{m}$ 以下となるPチャネル型の薄膜トランジスタが完成する。なおゲート長が $1.0\mu\text{m}$ 以下となるTFETをサブミクロンTFETとも表記できる。Pチャネル型の薄膜トランジスタは、ホットキャリアによる劣化や短チャネル効果が生じにくいことから、シングル・ドレイン構造とすることができる。

【0156】

なお本実施例において、Pチャネル型の薄膜トランジスタをLDD構造としてもよい。さらにNチャネル型の薄膜トランジスタ、及びPチャネル型の薄膜トランジスタにおいて、LDD構造に代えて、低濃度不純物領域がゲート電極と重なる、いわゆるGOLD構造を有してもよい。

【0157】

以上のように形成された薄膜トランジスタを有する半導体装置、本実施例においてはCPUを作製することができ、駆動電圧5Vで、動作周波数30MHzと高速動作が可能となる。

【0158】

次に、本発明を用いて作製したTFETを用いてガラス基板上に形成したCPUのブロック図を示している。

【0159】

図9に示すCPUは、基板1800上に、演算回路（ALU：Arithmetic logic unit）1801、演算回路用の制御部（ALU Controller）1802、命令解析部（Instruction Decoder）1803、割り込み制御部（Interrupt Controller）1804、タイミング制御部（Timing Controller）1805、レジスタ（Register）1806、レジスタ制御部（Register Controller）1807、バスインタ

ーフエース (Bus I/F) 1808、書き換え可能なROM1809、ROMインターフェース (ROM I/F) 1820とを主に有している。またROM1809及びROMインターフェイス (ROM I/F) 1820は、別チップに設けても良い。

【0160】

勿論、図18に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

【0161】

バスインターフェース1808を介してCPUに入力された命令は、命令解析部1803に入力され、デコードされた後、演算回路用の制御部1802、割り込み制御部1804、レジスタ制御部1807、タイミング制御部1805に入力される。

【0162】

演算回路用の制御部1802、割り込み制御部1804、レジスタ制御部1807、タイミング制御部1805は、デコードされた命令に基づき、各種制御を行う。具体的に演算回路用の制御部1802は、演算回路1801の動作を制御するための信号を生成する。また、割り込み制御部1804は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタ制御部1807は、レジスタ1806のアドレスを生成し、CPUの状態に応じてレジスタ1806の読み出しや書き込みを行う。

【0163】

また、タイミング制御部1805は、演算回路1801、演算回路用の制御部1802、命令解析部1803、割り込み制御部1804、レジスタ制御部1807の動作のタイミングを制御する信号を生成する。例えば、タイミング制御部1805は、基準クロック信号CLK1 (1821)を元に、内部クロック信号CLK2 (1822)を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。

【0164】

本発明を用いてCPUを構成するTF Tを形成する際に、大粒径領域に合わせて露光位置を決定し、フォトリソグラフィ工程を行うことができるため、TF Tの性能は良好で、性能のばらつきが少ない。従って、このTF Tを集積したCPUは、良好な品質で、性能のばらつきが少ないものとなる。また、フォトリソグラフィ工程に用いるためのマーカーを作製する必要がないため、より短時間でCPUを作製することが可能になる。

【0165】

なお、本実施例は、実施の形態や他の実施例と自由に組み合わせることができる。

【実施例5】

【0166】

本発明を用いて作製したTF Tを集積化したCPU、メモリ、ICとして搭載したり、パネルとして用いることにより、さまざまな電子機器を完成させることができる。

【0167】

そのような電子機器として、デジタルビデオカメラ、デジタルカメラ、反射型プロジェクター、テレビ (ディスプレイ)、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置 (オーディオ)、携帯端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機、電子書籍)、ゲーム機器、記録媒体を備えた画像再生装置 (具体的にはDigital Versatile Disk (DVD) やハードディスクドライブ (HDD) 等の記録媒体に記録された情報を再生し、その画像を表示することができるディスプレイとCPUを供えた機器などを挙げることができる。

【0168】

本発明を用いて作製した電子機器の一つである携帯電話を例に挙げ、図を用いて以下に説明する。

【0169】

図19は表示パネル1901とプリント配線基板1902を組み合わせたモジュールを示している。表示パネル1901は、発光素子が各画素に設けられた画素部1903と、

第1の走査線駆動回路1904、第2の走査線駆動回路1905と、選択された画素にビデオ信号を供給する信号線駆動回路1906を備えている。また、表示パネルに用いる素子は、発光素子に限らず、液晶素子を用いてもよい。

【0170】

プリント基板1902には、コントローラ1907、中央処理装置(CPU)1908、メモリ1909、電源回路1910、音声処理回路1911及び送受信回路1912などが備えられている。プリント基板1902と表示パネル1901は、フレキシブル配線基板(FPC)1913により接続されている。プリント配線基板1913には、容量素子、バッファ回路などを設け、電源電圧や信号にノイズが入ったり、信号の立ち上がりが鈍ったりすることを防ぐ構成としても良い。また、コントローラ1907、音声処理回路1911、メモリ1909、CPU1908、電源回路1910などは、COG(Chip on Glass)方式を用いて表示パネル1901に実装することもできる。COG方式により、プリント基板1902の規模を縮小することができる。

【0171】

プリント基板1902に備えられたインターフェース(I/F)部1914を介して、各種制御信号の入出力が行われる。また、アンテナとの間の信号の送受信を行なうためのアンテナ用ポート1915が、プリント基板1902に設けられている。

【0172】

図20は、図19に示したモジュールのブロック図を示す。このモジュールは、メモリ1909としてVRAM1916、DRAM1917、フラッシュメモリ1918などが含まれている。VRAM1916にはパネルに表示する画像のデータが、DRAM1917には画像データまたは音声データが、フラッシュメモリには各種プログラムが記憶されている。

【0173】

電源回路1910は、表示パネル1901、コントローラ1907、CPU1908、音声処理回路1911、メモリ1909、送受信回路1912を動作させる電力を供給する。またパネルの仕様によっては、電源回路1910に電流源が備えられている場合もある。

【0174】

CPU1908は、制御信号生成回路1920、デコーダ1921、レジスタ1922、演算回路1923、RAM1924、CPU1908用のインターフェース1919などを有している。インターフェース1919を介してCPU1908に入力された各種信号は、一旦レジスタ1922に保持された後、演算回路1923、デコーダ1921などに入力される。演算回路1923では、入力された信号に基づき演算を行ない、各種命令を送る場所を指定する。一方デコーダ1921に入力された信号はデコードされ、制御信号生成回路1920に入力される。制御信号生成回路1920は入力された信号に基づき、各種命令を含む信号を生成し、演算回路1923において指定された場所、具体的にはメモリ1909、送受信回路1912、音声処理回路1911、コントローラ1907などに送る。

【0175】

メモリ1909、送受信回路1912、音声処理回路1911、コントローラ1907は、それぞれ受けた命令に従って動作する。以下その動作について簡単に説明する。

【0176】

入力手段1925から入力された信号は、インターフェース1914を介してプリント基板1902に実装されたCPU1908に送られる。制御信号生成回路1920は、ポインティングデバイスやキーボードなどの入力手段1925から送られてきた信号に従い、VRAM1916に格納してある画像データを所定のフォーマットに変換し、コントローラ1907に送付する。

【0177】

コントローラ1907は、パネルの仕様に合わせてCPU1908から送られてきた画

像データを含む信号にデータ処理を施し、表示パネル１９０１に供給する。またコントローラ１９０７は、電源回路１９１０から入力された電源電圧やＣＰＵ１９０８から入力された各種信号をもとに、Ｈｓｙｎｃ信号、Ｖｓｙｎｃ信号、クロック信号ＣＬＫ、交流電圧（ＡＣ　Ｃｏｎｔ）、切り替え信号Ｌ／Ｒを生成し、表示パネル１９０１に供給する。

【０１７８】

送受信回路１９１２では、アンテナ１９２８において電波として送受信される信号が処理されており、具体的にはアイソレータ、バンドパスフィルタ、ＶＣＯ（Ｖｏｌｔａｇｅ　Ｃｏｎｔｒｏｌｌｅｄ　Ｏｓｃｉｌｌａｔｏｒ）、ＬＰＦ（Ｌｏｗ　Ｐａｓｓ　Ｆｉｌｔｅｒ）、カブラ、バランなどの高周波回路を含んでいる。送受信回路１９１２において送受信される信号のうち音声情報を含む信号が、ＣＰＵ１９０８からの命令に従って、音声処理回路１９１１に送られる。

【０１７９】

ＣＰＵ１９０８の命令に従って送られてきた音声情報を含む信号は、音声処理回路１９１１において音声信号に復調され、スピーカ１９２７に送られる。またマイク１９２６から送られてきた音声信号は、音声処理回路１９１１において変調され、ＣＰＵ１９０８からの命令に従って、送受信回路１９１２に送られる。

【０１８０】

コントローラ１９０７、ＣＰＵ１９２１、電源回路１９１０、音声処理回路１９１１、メモリ１９０９を、本実施例のパッケージとして実装することができる。本実施例は、アイソレータ、バンドパスフィルタ、ＶＣＯ（Ｖｏｌｔａｇｅ　Ｃｏｎｔｒｏｌｌｅｄ　Ｏｓｃｉｌｌａｔｏｒ）、ＬＰＦ（Ｌｏｗ　Ｐａｓｓ　Ｆｉｌｔｅｒ）、カブラ、バランなどの高周波回路以外であれば、どのような回路にも応用することができる。

【０１８１】

本発明を用いることによって、レーザ照射領域の大粒径領域のみに回路パターンを形成することが可能になるため、それぞれのＴＦＴ間で特性のばらつきを低減させることができる。また、露光用光源の露光位置を決めるアライメントを形成する必要がなくなるため、工程が簡略化され、作製コストを下げることができる。このＴＦＴを集積してＣＰＵ、メモリ、ＩＣとして搭載したり、パネルとして用いたりすると、品質が良好で、性能のばらつきがない電子機器を低コストで作製することができる。

【０１８２】

また、本実施例は実施の形態および他の実施例と組み合わせて用いることが可能である。

【実施例６】

【０１８３】

本発明を用いて作製したＴＦＴを用いて様々な電子機器を完成させることができる。その具体例を図を用いて説明する。

【０１８４】

本発明を用いることによって、レーザ照射領域の大粒径領域のみに回路パターンを形成することが可能になるため、それぞれのＴＦＴ間で特性のばらつきを低減させることができる。また、露光用光源の露光位置を決めるアライメントを形成する必要がなくなるため、工程が簡略化され、作製コストを下げることができる。従って、本発明を用いて作製したＴＦＴを用いると、品質が良好で、性能のばらつきがない電子機器を低コストで作製することができる。

【０１８５】

図２１（Ａ）は表示装置であり、筐体２１０１、支持台２１０２、表示部２１０３、スピーカ部２１０４、ビデオ入力端子２１０５などを含む。この表示装置は、他の実施例で示した作製方法により形成したＴＦＴを駆動ＩＣや表示部２１０３などに用いることにより作製される。なお、表示装置には液晶表示装置、発光表示装置などがあり、具体的にはコンピュータ用、テレビ受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0186】

図21(B)はコンピュータであり、筐体2111、表示部2112、キーボード2113、外部接続ポート2114、ポインティングマウス2115などを含む。本発明を用いて形成されたTF Tは、表示部2112の画素部だけではなく、表示用の駆動IC、本体内部のCPU、メモリなどの半導体装置にも適用が可能である。

【0187】

また、図21(C)は携帯電話であり、携帯端末の1つの代表例である。この携帯電話は筐体2121、表示部2122、操作キー2123などを含む。本発明を用いて形成されたTF Tは表示部2122の画素部やセンサ部2124だけではなく、表示用の駆動IC、メモリ、音声処理回路などに用いることができる。センサ部2124は光センサ素子を有しており、センサ部2124で得られる照度に合わせて表示部2122の輝度コントロールを行ったり、センサ部2124で得られる照度に合わせて操作キー2123の照明制御を抑えたりすることによって、携帯電話の消費電力を抑えることができる。

【0188】

上記の携帯電話を初めとして、PDA(Personal Digital Assistants、情報携帯端末)、デジタルカメラ、小型ゲーム機などの電子機器に、本発明を用いて形成した半導体材料を用いることもできる。例えば、CPU、メモリ、センサなどの機能回路を形成したり、これらの電子機器の画素部や、表示用の駆動ICにも適用することが可能である。

【0189】

また、図21(D)、(E)はデジタルカメラである。なお、図21(E)は、図21(D)の裏側を示す図である。このデジタルカメラは、筐体2131、表示部2132、レンズ2133、操作キー2134、シャッター2135などを有する。本発明を用いて形成されたTF Tは、表示部2132の画素部、表示部2132を駆動する駆動IC、メモリなどに用いることができる。

【0190】

図21(F)はデジタルビデオカメラである。このデジタルビデオカメラは、本体2141、表示部2142、筐体2143、外部接続ポート2144、リモコン受信部2145、受像部2146、バッテリー2147、音声入力部2148、操作キー2149、接眼部2150などを有する。本発明を用いて形成されたTF Tは、表示部2242の画素部、表示部2242を制御する駆動IC、メモリ、デジタル入力処理装置などに用いることができる。

【0191】

また、本発明を用いて作製したTF Tを薄膜集積回路、または非接触型薄膜集積回路装置(無線ICタグ、RFID(無線認証、Radio Frequency Identification)とも呼ばれる)として用いることもできる。他の実施例で示した作製方法を用いることにより、薄膜集積回路および非接触型薄膜集積回路は、タグとしての利用やメモリとしての利用が可能である。

【0192】

図22(A)は、パスポート2201に無線ICタグ2202を貼り付けている状態を示している。また、パスポート2201に無線ICタグ2202を埋め込んでもよい。同様にして、運転免許証、クレジットカード、紙幣、硬貨、証券、商品券、チケット、トラベラーズチェック(T/C)、健康保険証、住民票、戸籍謄本などに無線ICタグを貼り付けたり埋め込むことができる。この場合、本物であることを示す情報のみを無線ICタグに入力しておき、不正に情報を読み取ったり書き込んだりできないようにアクセス権を設定する。これは、本発明を用いて形成したTF Tを用いることにより実現できる。このようにタグとして利用することによって、偽造されたものと区別することが可能になる。

【0193】

このほかに、無線ICタグをメモリとして用いることも可能である。図22(B)は、無線ICタグ2211を野菜の野菜の包装に貼り付けるラベルに埋め込んだ例を示してい

る。また、包装そのものに無線ＩＣタグを貼り付けたり埋め込んだりしても構わない。無線ＩＣタグ２２１１には、生産地、生産者、製造年月日、加工方法などの生産段階のプロセスや、商品の流通プロセス、価格、数量、用途、形状、重量、賞味期限、各種認証情報などを記録することが可能になる。無線ＩＣタグ２２１１からの情報は、無線式のリーダー２２１２のアンテナ部２２１３で受信して読み取り、リーダー２２１２の表示部２２１４に表示することによって、卸売業者、小売業者、消費者が把握することが容易になる。また、生産者、取引業者、消費者のそれぞれに対してアクセス権を設定することによって、アクセス権を有しない場合は読み込み、書き込み、書き換え、消去ができない仕組みになっている。

【０１９４】

また、無線ＩＣタグは以下のように用いることができる。会計の際に無線ＩＣタグに会計を済ませたことを記入し、出口にチェック手段を設け、会計済みであることを無線ＩＣタグに書き込まれているかをチェックする。会計を済ませていないで店を出ようとすると、警報が鳴る。この方法によって、会計のし忘れや万引きを予防することができる。

【０１９５】

さらに、顧客のプライバシー保護を考慮すると、以下に記す方法にすることも可能である。レジで会計をする段階で、（１）無線ＩＣタグに入力されているデータを暗証番号などでロックする、（２）無線ＩＣタグに入力されているデータそのものを暗号化する、（３）無線ＩＣタグに入力されているデータを消去する、（４）無線ＩＣタグに入力されているデータを破壊する、のいずれかを行う。これらは、他の実施例にて挙げたメモリを用いることによって実現することができる。そして、出口にチェック手段を設け、（１）～（４）のいずれかの処理が行われたか、または無線ＩＣタグのデータに何も処理が行われていない状態であるかをチェックすることによって、会計の有無をチェックする。このようにすると、店内では会計の有無を確認することが可能であり、店外では所有者の意志に反して無線ＩＣタグの情報を読み取られることを防止することができる。

【０１９６】

なお、（４）の無線ＩＣタグに入力されているデータを破壊する方法をいくつか挙げることができる。例えば、（ａ）無線ＩＣタグが有する電子データの少なくとも一部に「０（オフ）」若しくは「１（オン）」、または「０」と「１」の両方を書き込んでデータのみを破壊する方法や、（ｂ）無線ＩＣタグに電流を過剰に流し、無線ＩＣタグが有する半導体素子の配線の一部を物理的に破壊する方法などを用いることができる。

【０１９７】

以上に挙げた無線ＩＣタグは、従来用いているバーコードより製造コストが高いため、コスト低減を図る必要がある。本発明を用いることによって、露光用光源の露光位置を決めるマーカを形成する必要がなくなるため、工程が簡略化され、作製コストを下げるることができる。また、レーザ照射領域中の大粒径領域に確実に露光を行うことができるため、どの無線ＩＣタグも品質が高く、性能のばらつきがないように製作することができる。

【０１９８】

以上のように、本発明により作製された半導体装置の適用範囲は極めて広く、本発明により作製された半導体装置をあらゆる分野の電子機器に用いることができる。

【０１９９】

また、本実施例は実施の形態および他の実施例と組み合わせて用いることが可能である。

【図面の簡単な説明】

【０２００】

【図１】本発明の実施の形態を示す図である。

【図２】本発明の実施の形態を示す図である。

【図３】従来技術を示す図である。

【図４】大粒径領域と結晶性不良領域における光の散乱と反射を説明する図である。

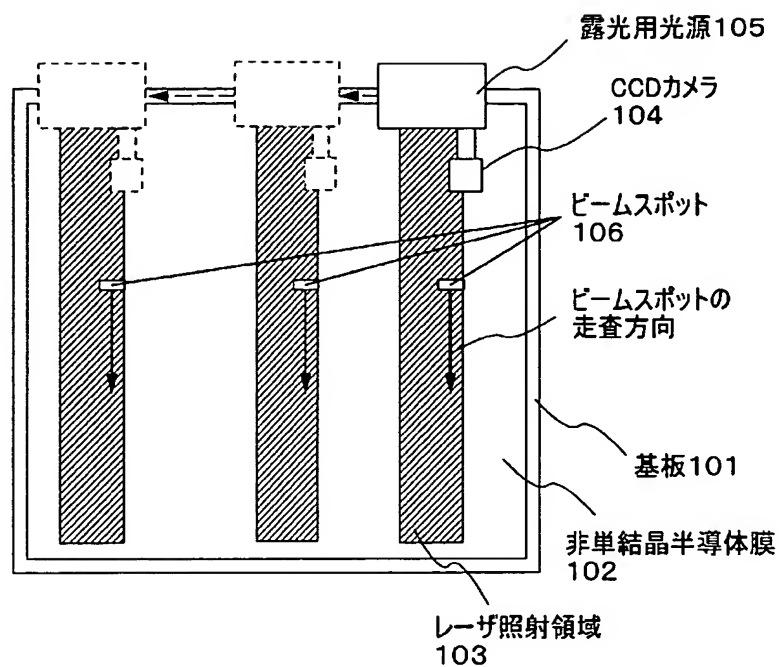
【図５】表面の凹凸と散乱強度との関係を示す図である。

- 【図 6】本発明の実施の一様態を示す図である。
- 【図 7】本発明の実施の一様態を示す図である。
- 【図 8】本発明を利用した半導体装置の作製方法を説明する図である。
- 【図 9】本発明を利用した半導体装置の作製方法を説明する図である。
- 【図 10】本発明を利用した半導体装置の作製方法を説明する図である。
- 【図 11】本発明を利用した半導体装置の作製方法を説明する図である。
- 【図 12】本発明を利用して作製した表示装置の概要を説明する図である。
- 【図 13】本発明を利用して作製した表示装置の概要を説明する図である。
- 【図 14】本発明を利用した半導体装置の作製方法を説明する図である。
- 【図 15】本発明を利用した半導体装置の作製方法を説明する図である。
- 【図 16】本発明を利用した半導体装置の作製方法を説明する図である。
- 【図 17】本発明を利用した半導体装置の作製方法を説明する図である。
- 【図 18】本発明を利用して作製した半導体措置の概要を説明する図である。
- 【図 19】本発明を利用して作製した半導体措置の概要を説明する図である。
- 【図 20】本発明を利用して作製した半導体措置の概要を説明する図である。
- 【図 21】本発明を利用して作製した半導体措置の概要を説明する図である。
- 【図 22】本発明を利用して作製した半導体措置の概要を説明する図である。
- 【図 23】レーザを照射して半導体膜を結晶化させた基板に白色光を照射し、この基板を撮影した写真である。
- 【図 24】レーザを照射して半導体膜を結晶化させた基板に青色光を照射し、この基板を撮影した写真である。

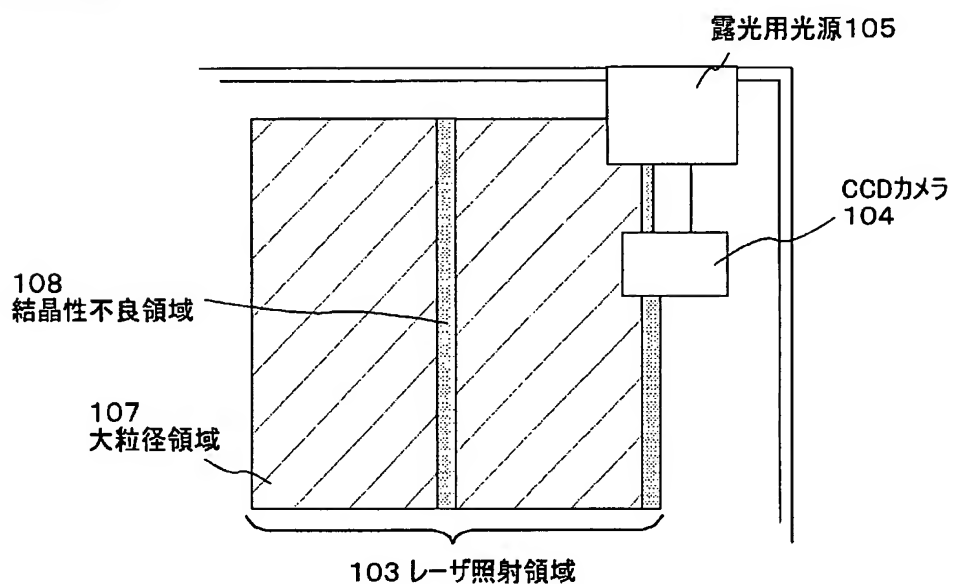
【書類名】図面

【図 1】

(A)全体図

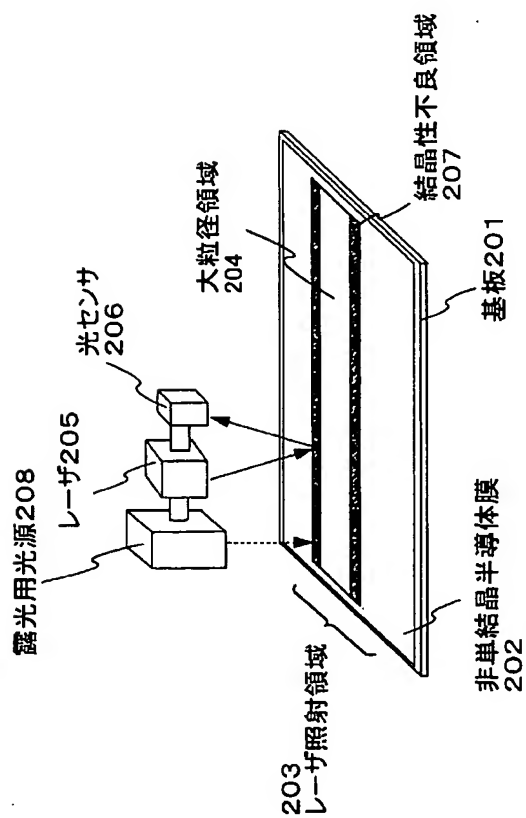


(B)拡大図

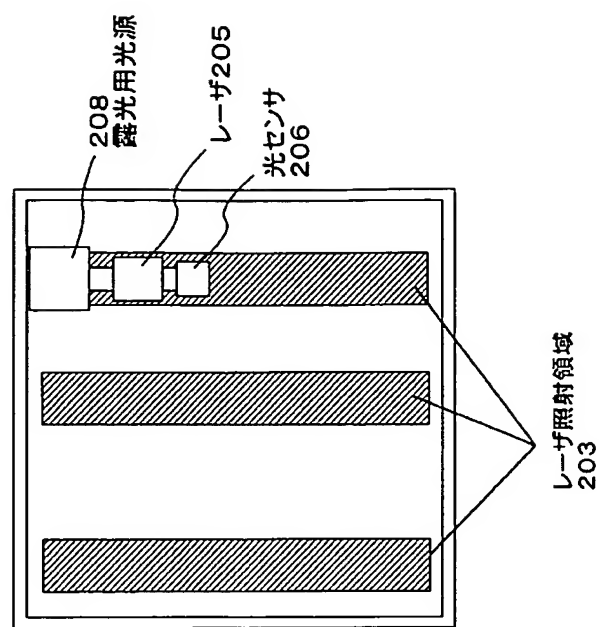


【図 2】

(A) 斜視図

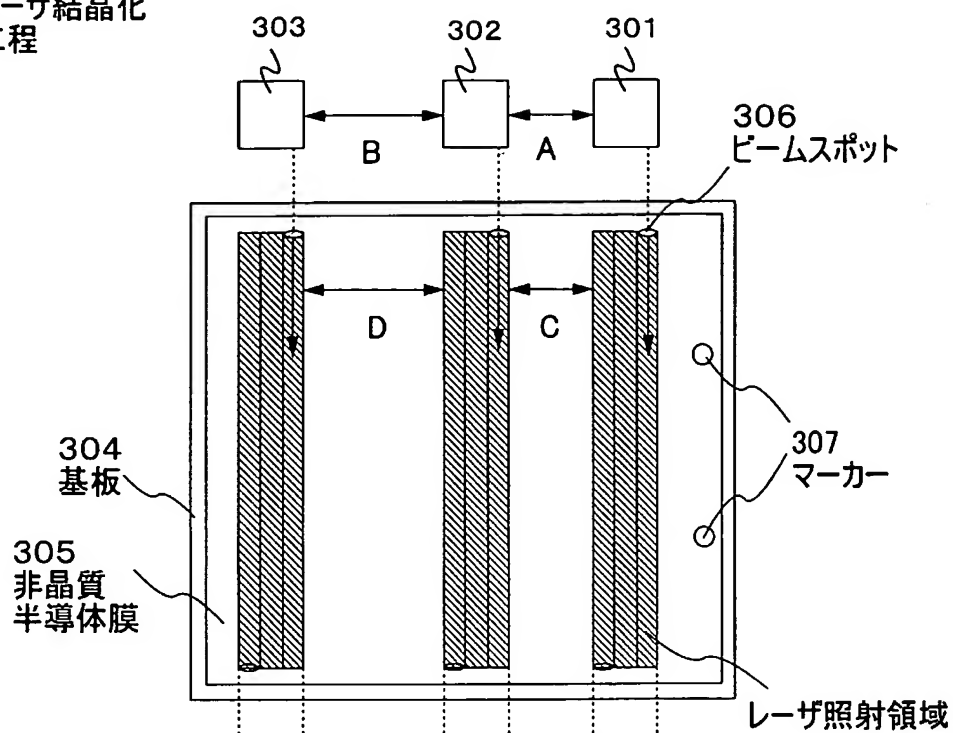


(B) 平面図

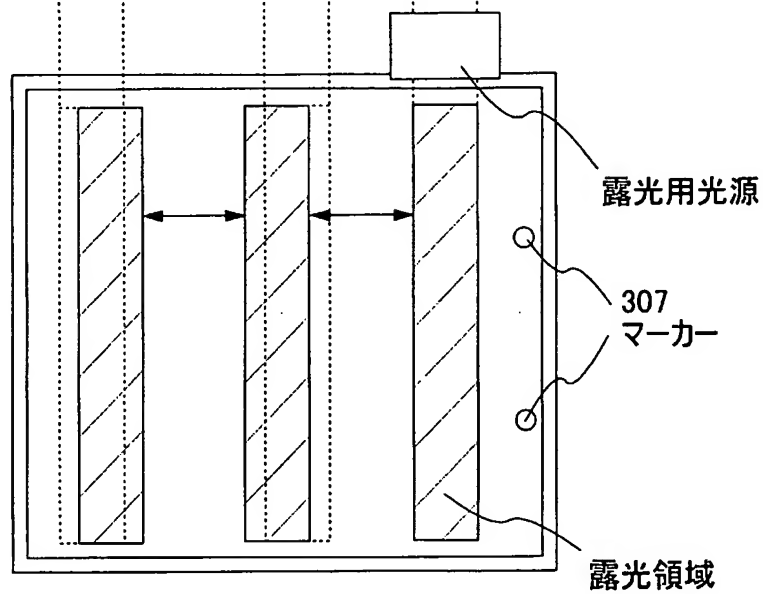


【図 3】

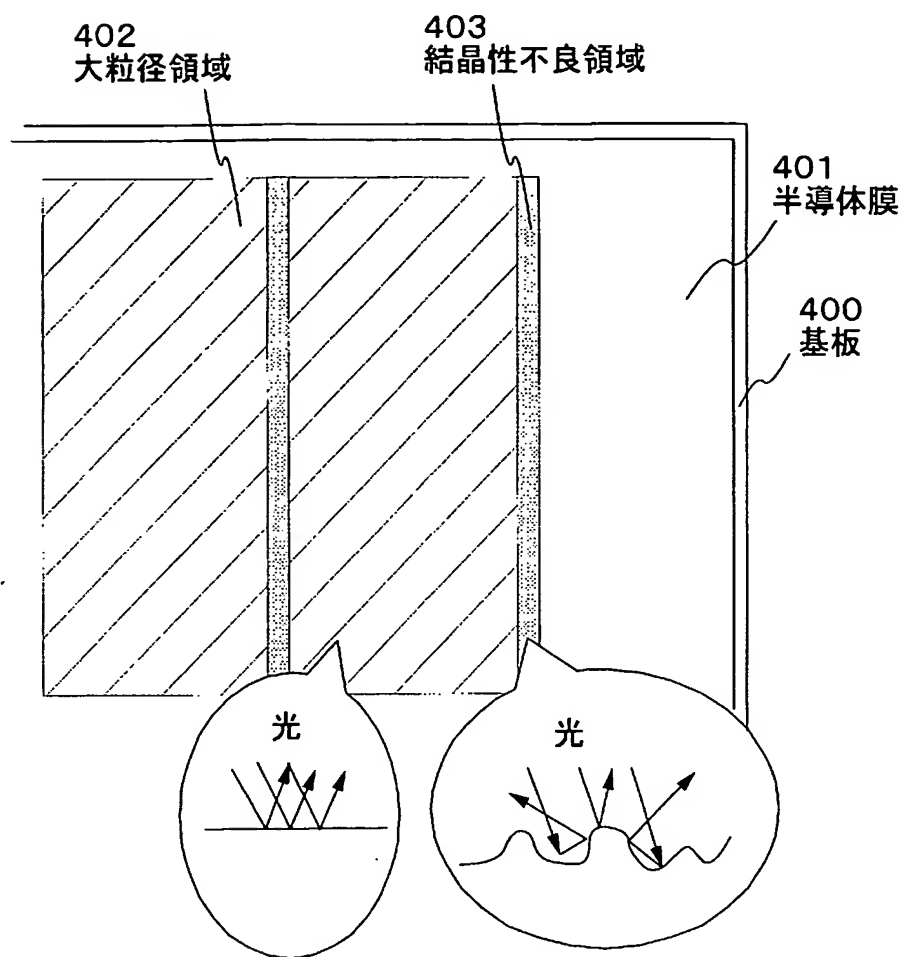
(A)
レーザー結晶化
工程



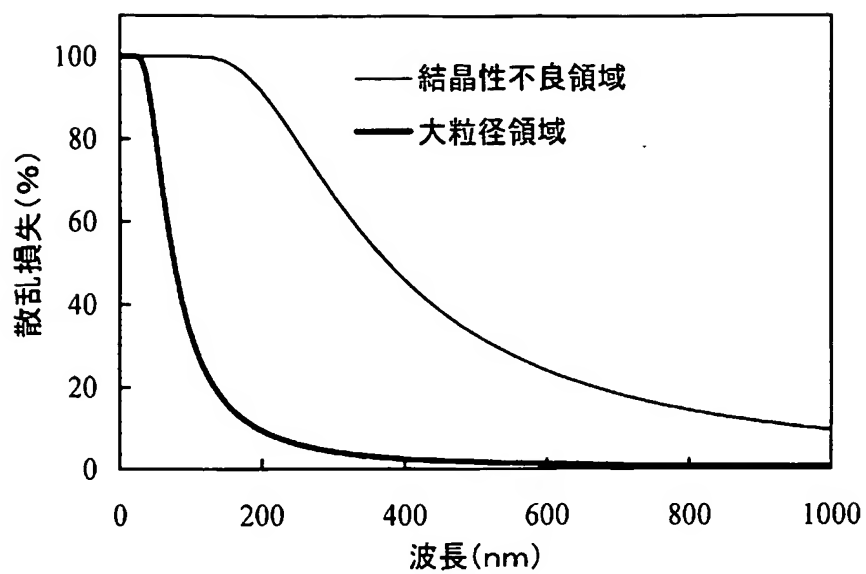
(B)
フォトリソグラフィ
工程



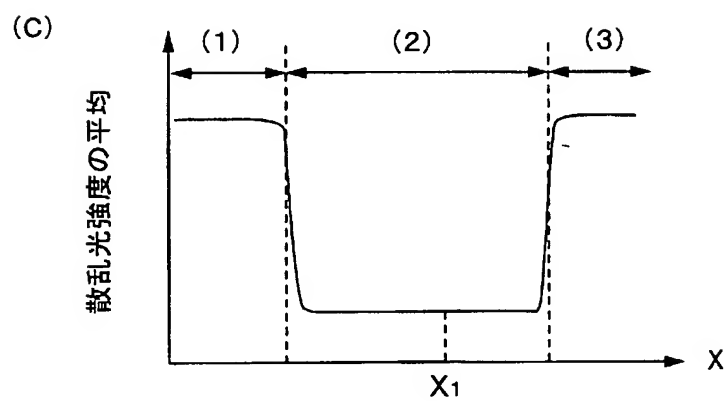
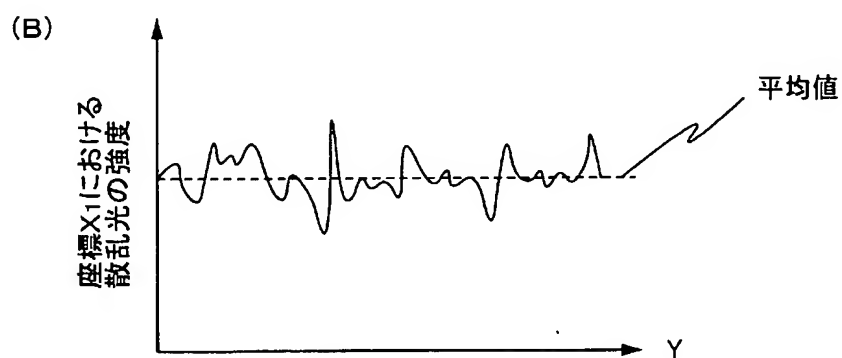
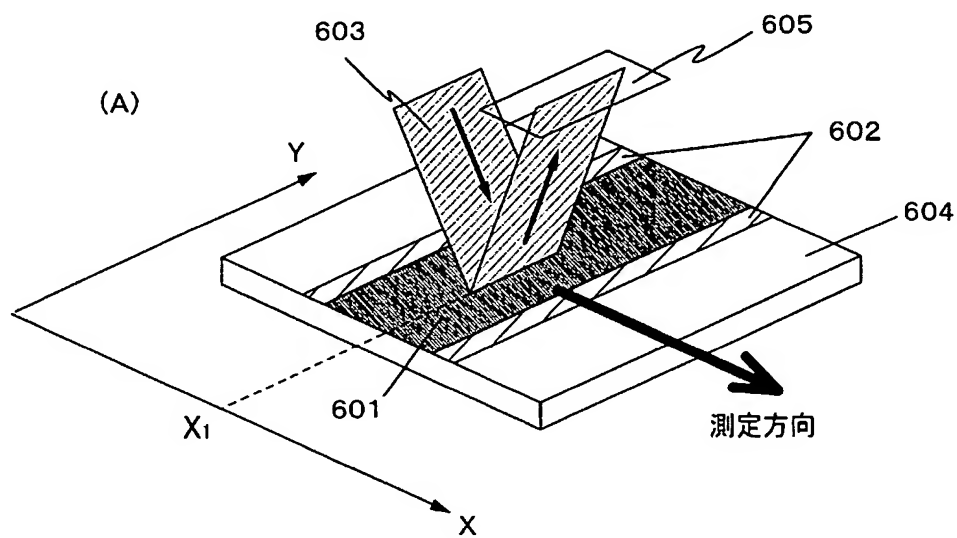
【图 4】



【图 5】



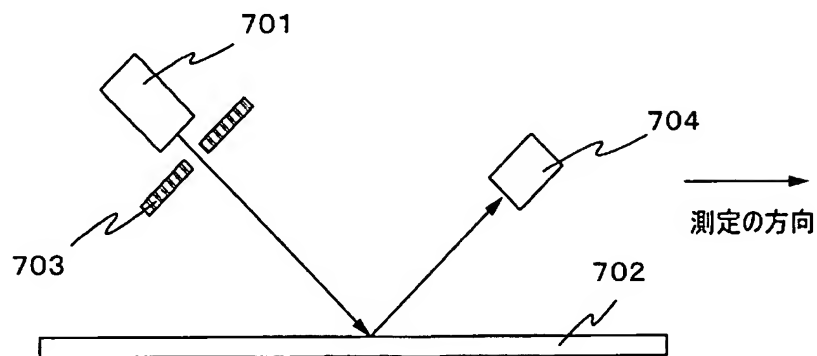
【図 6】



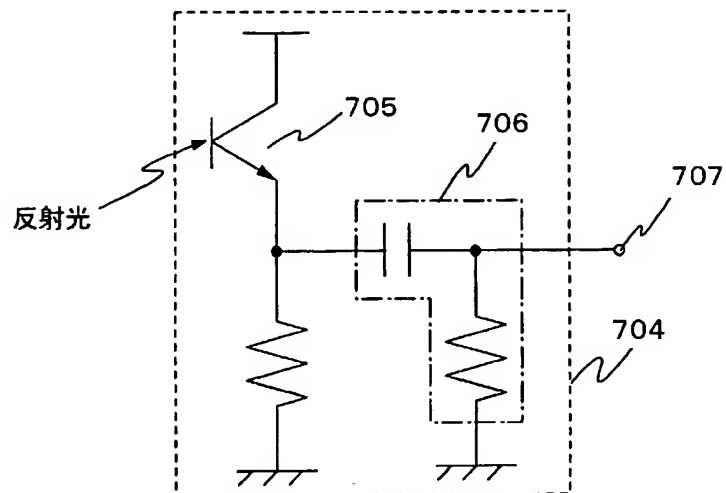
(1)、(3): 結晶性不良領域
(2): 大粒径領域

【図 7】

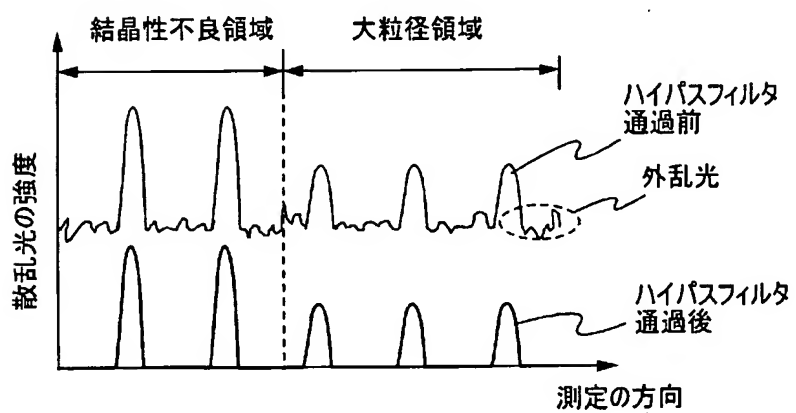
(a)



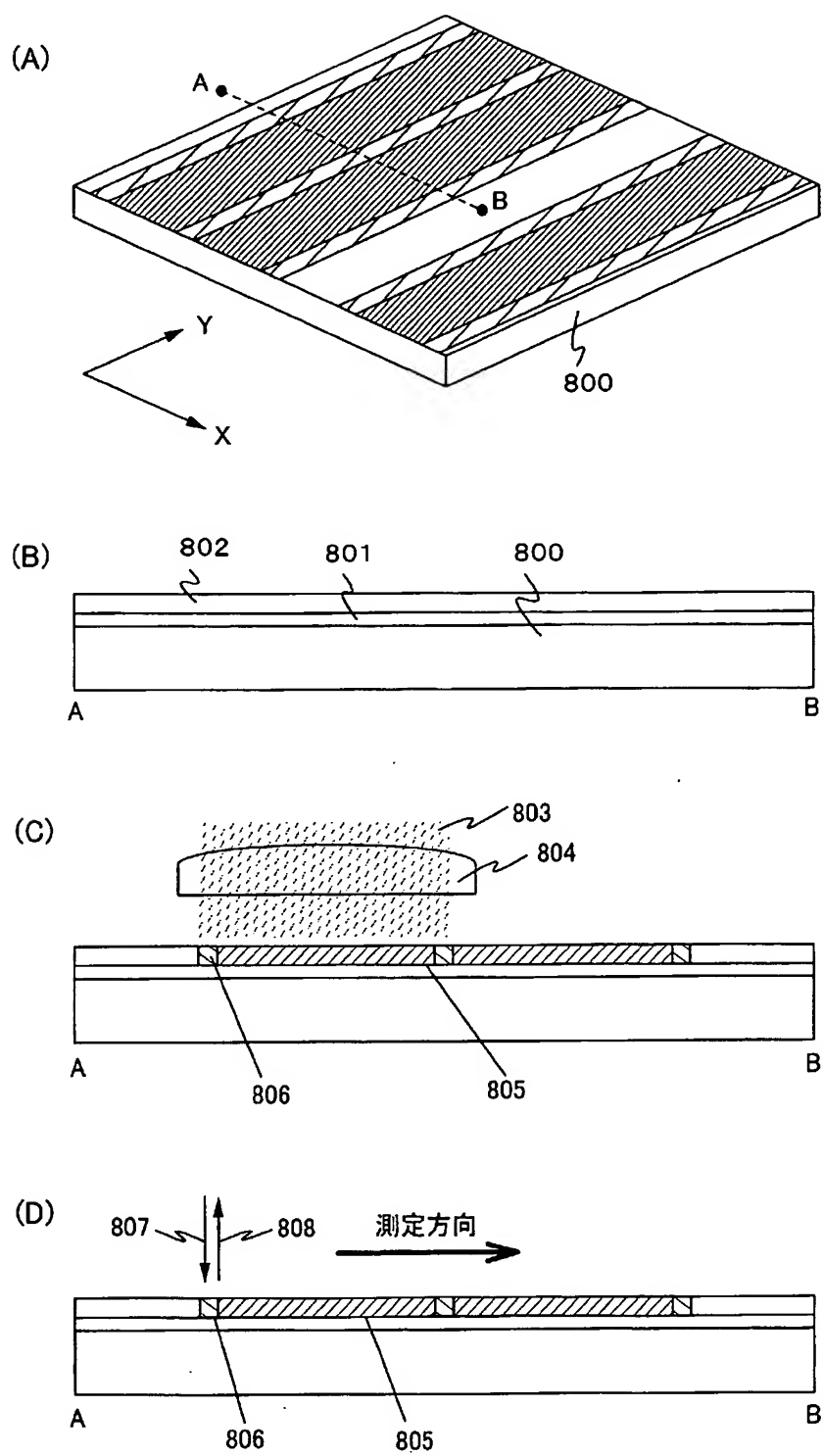
(b)

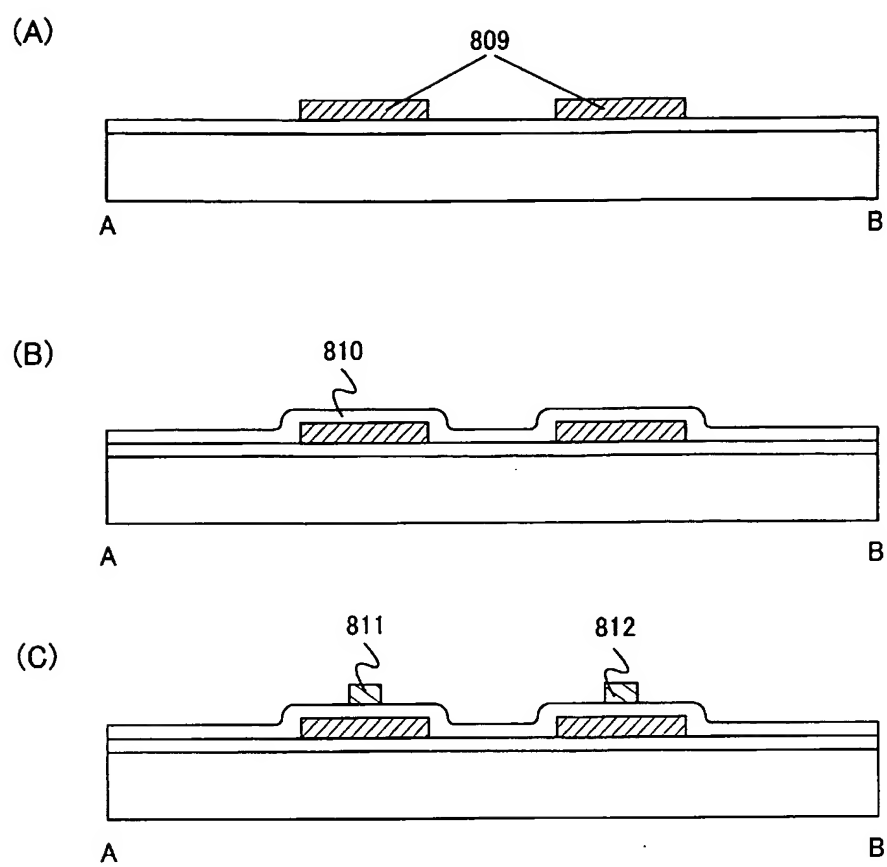


(c)

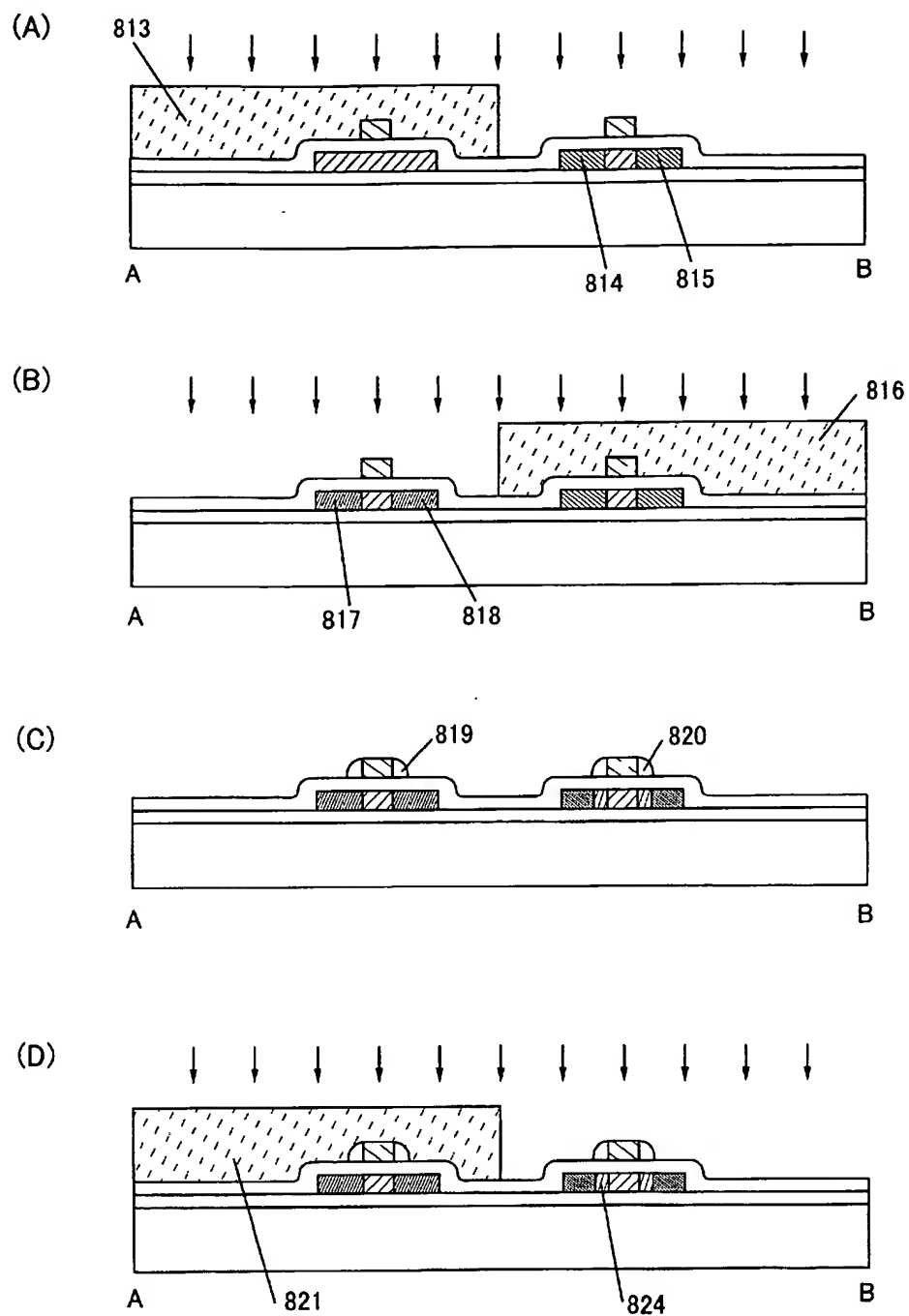


【図 8】

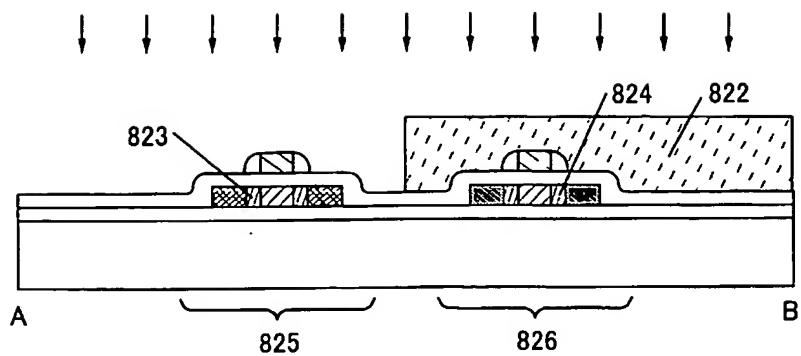




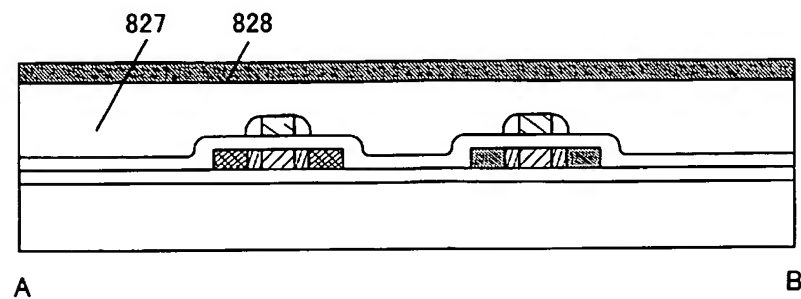
【図 10】



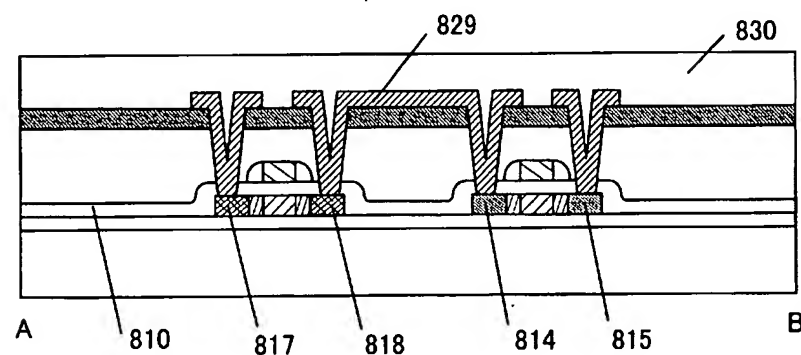
(A)



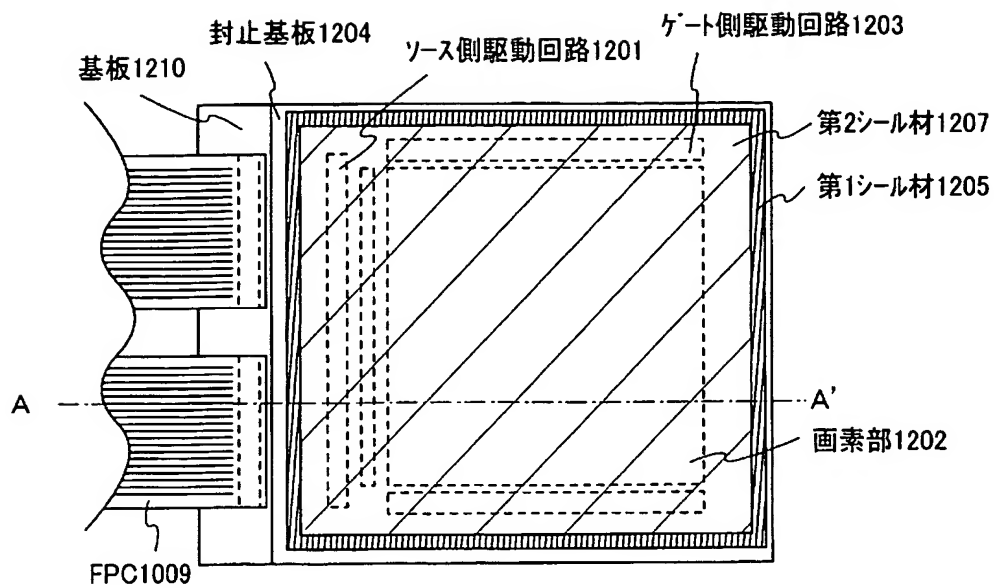
(B)



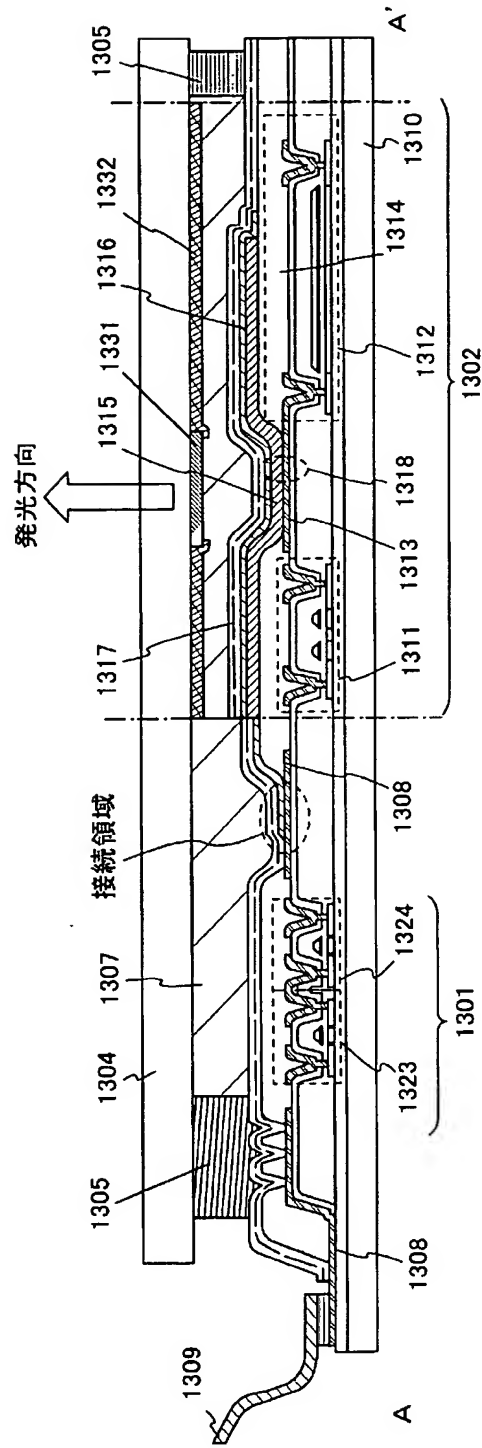
(C)



【図 12】



【図 13】

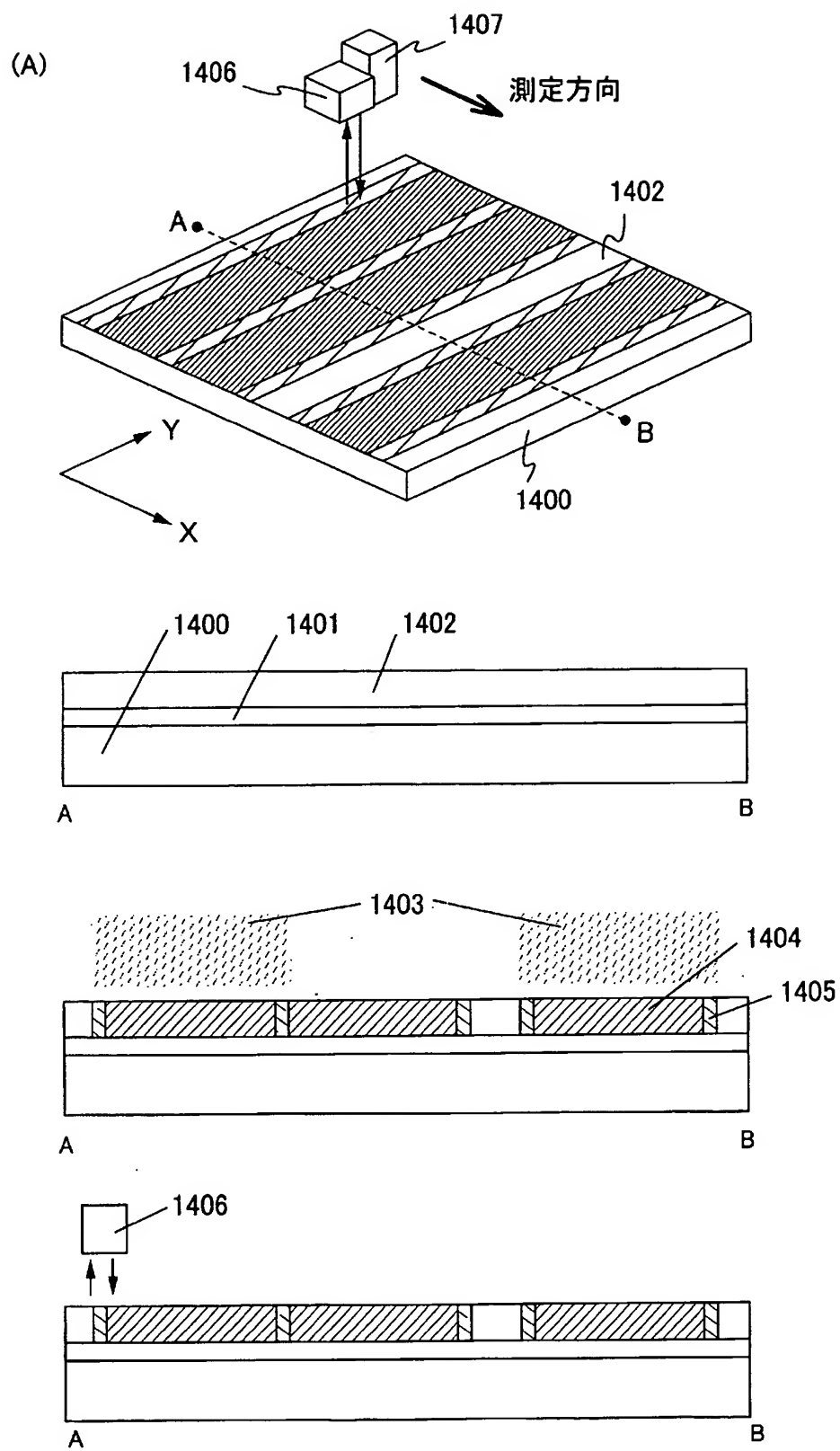


1301 ソース側駆動回路
1302 画素部
1304 封止基板
1305 第1シール剤
1306 接続配線
1307 第2シール剤
1308 接続配線
1309 FPC
1310 基板

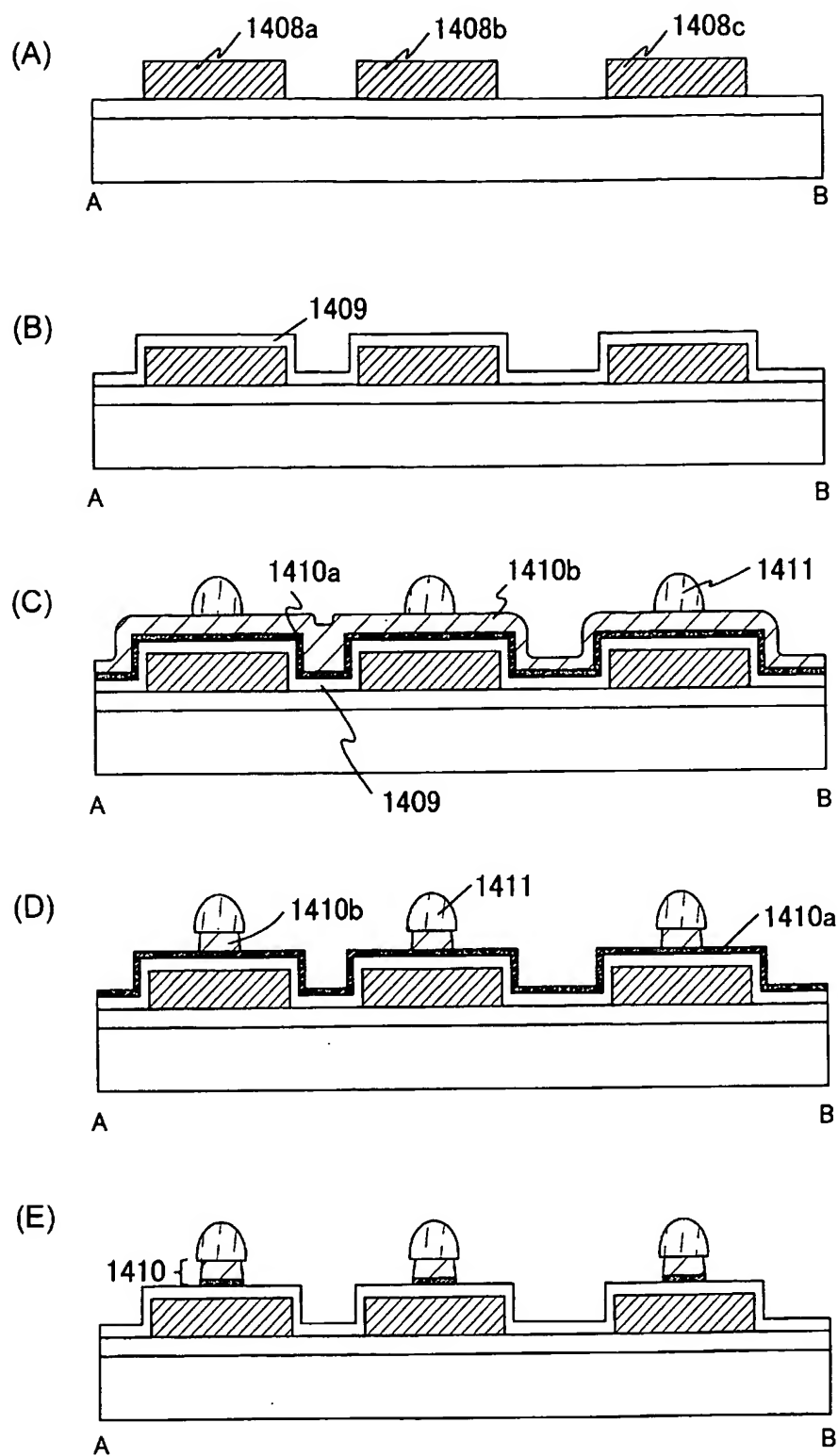
1311 スイッチング用TFT
1312 電流制御用TFT
1313 第1の電極(陽極)
1314 絶縁物
1315 電界発光層
1316 第2の電極(陰極)
1317 透明保護積層
1318 電界発光素子

1323 nチャネル型TFT
1324 pチャネル型TFT
1331 着色層
1332 遮光層

【図 14】

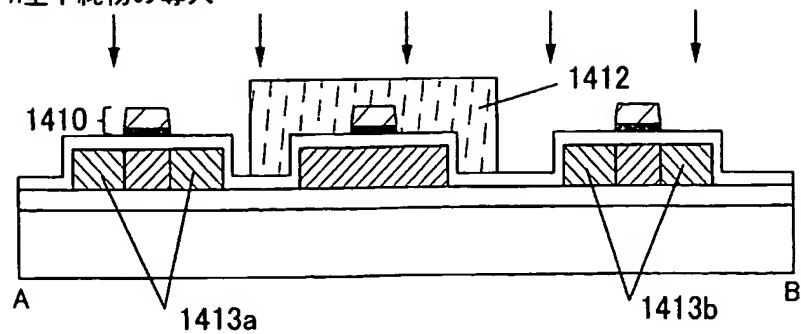


【図 15】

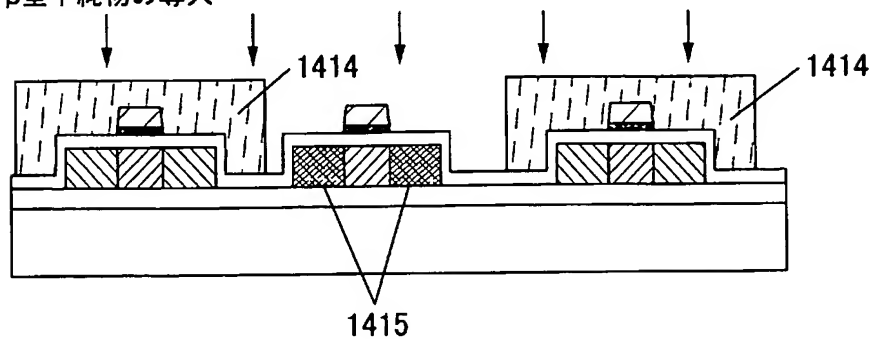


【図 16】

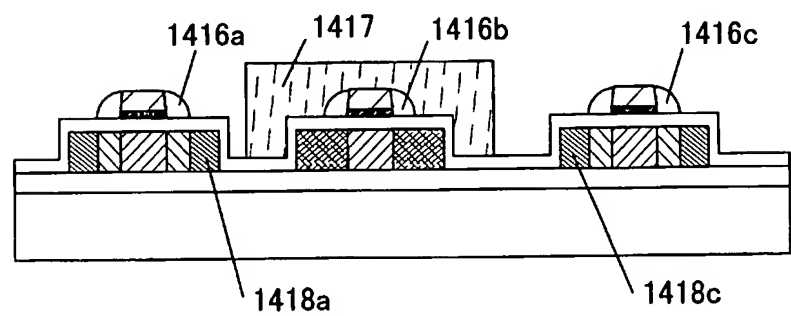
(A) n型不純物の導入



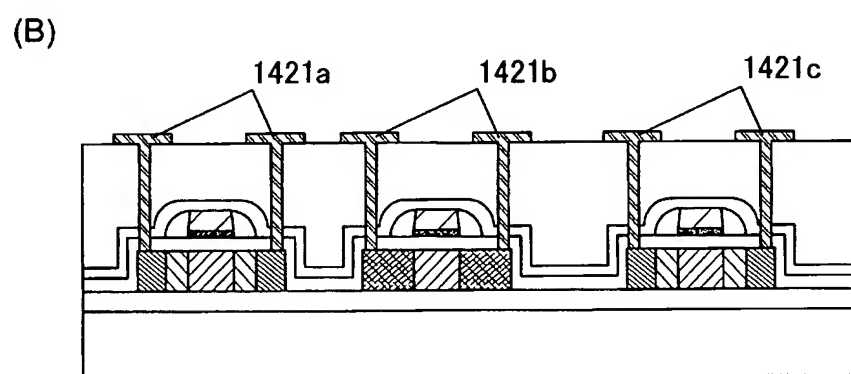
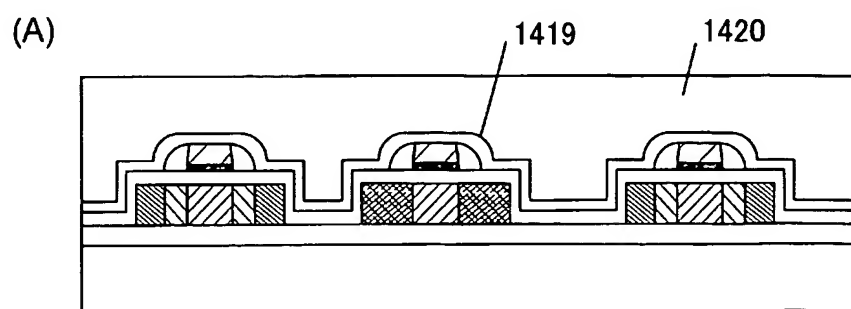
(B) p型不純物の導入



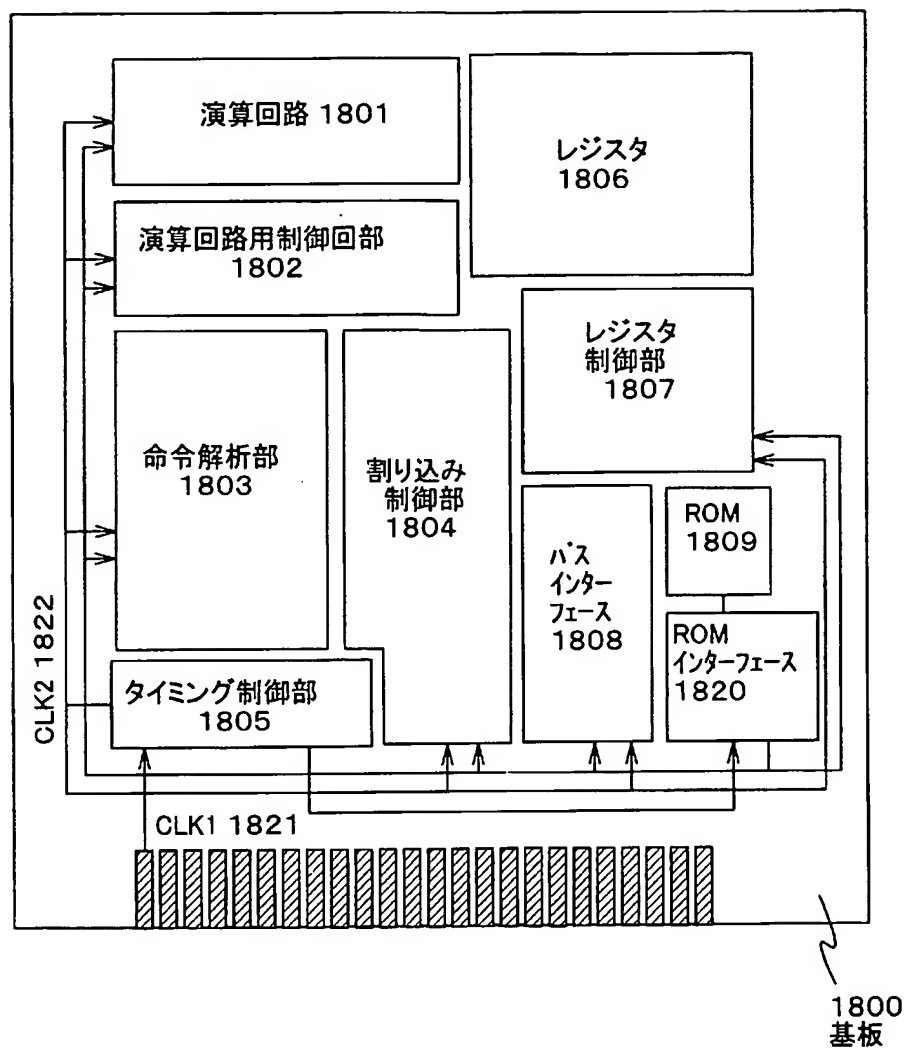
(C)



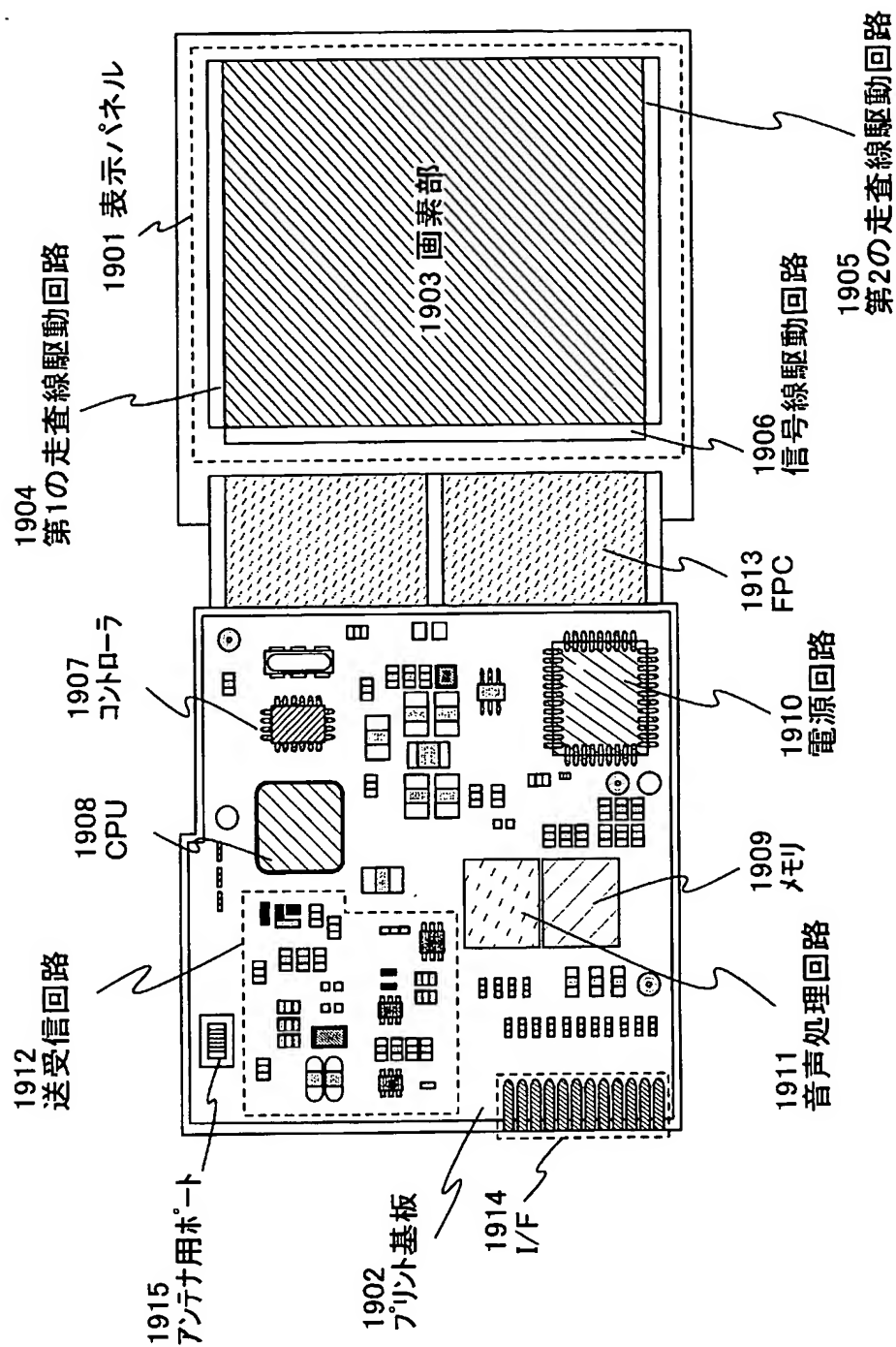
【図 17】



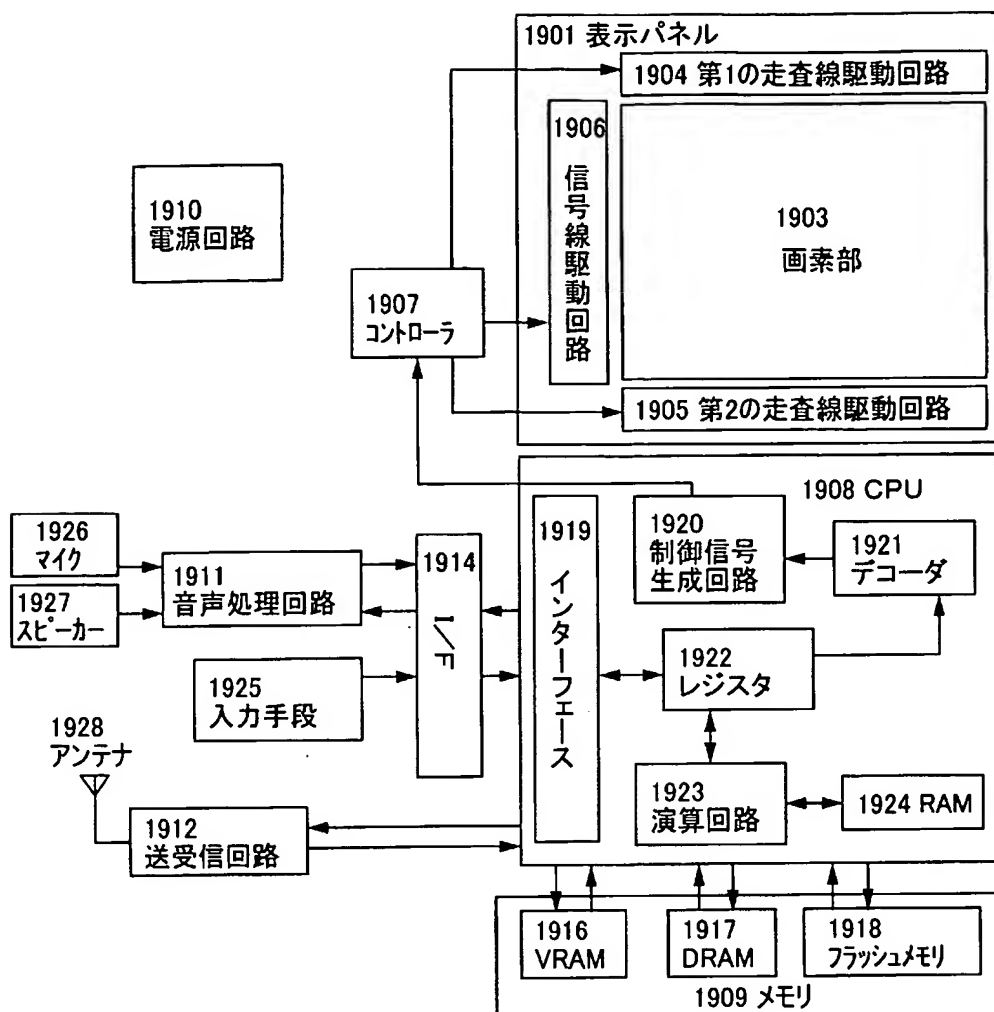
【図 18】



【図 19】

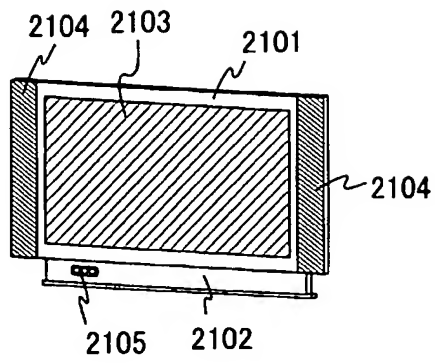


【図 20】

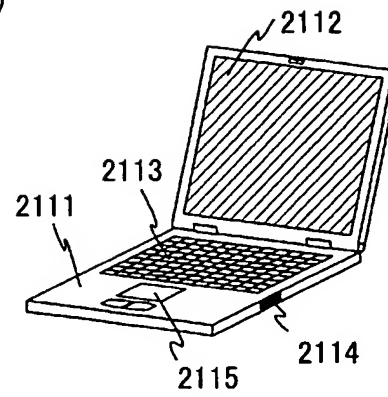


【図 21】

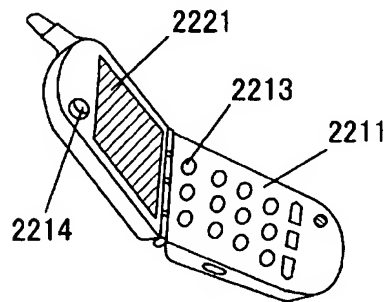
(A)



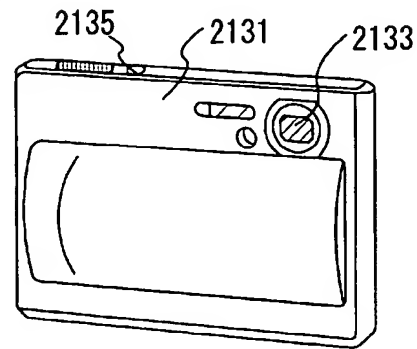
(B)



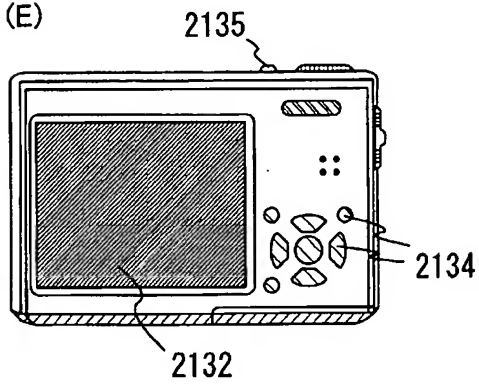
(C)



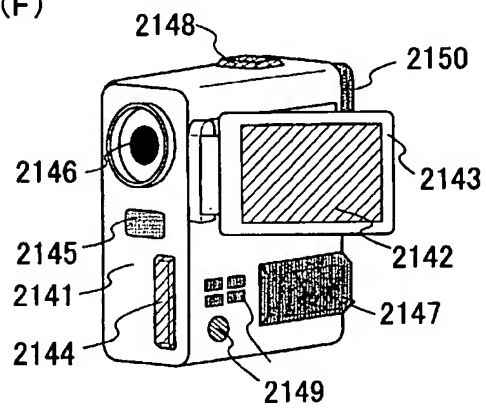
(D)



(E)

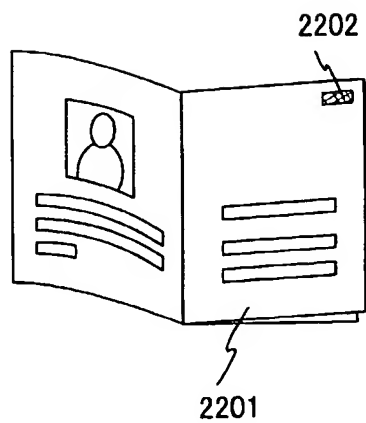


(F)

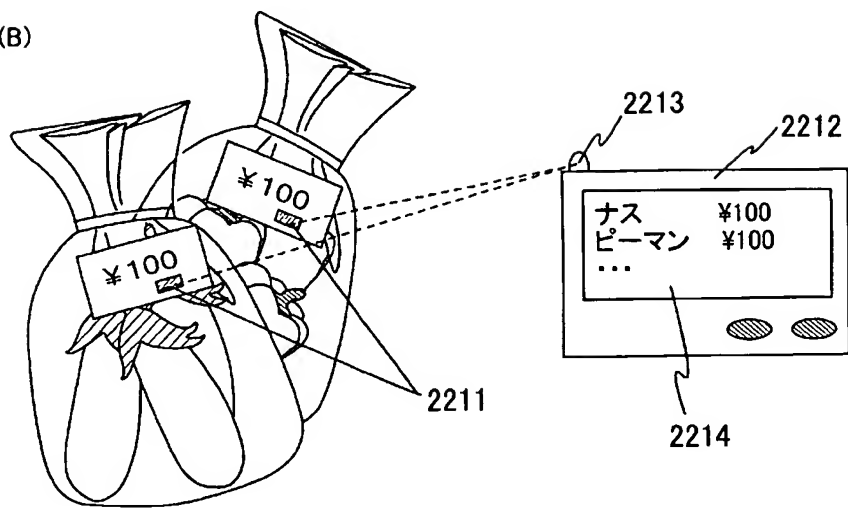


【図 2 2】

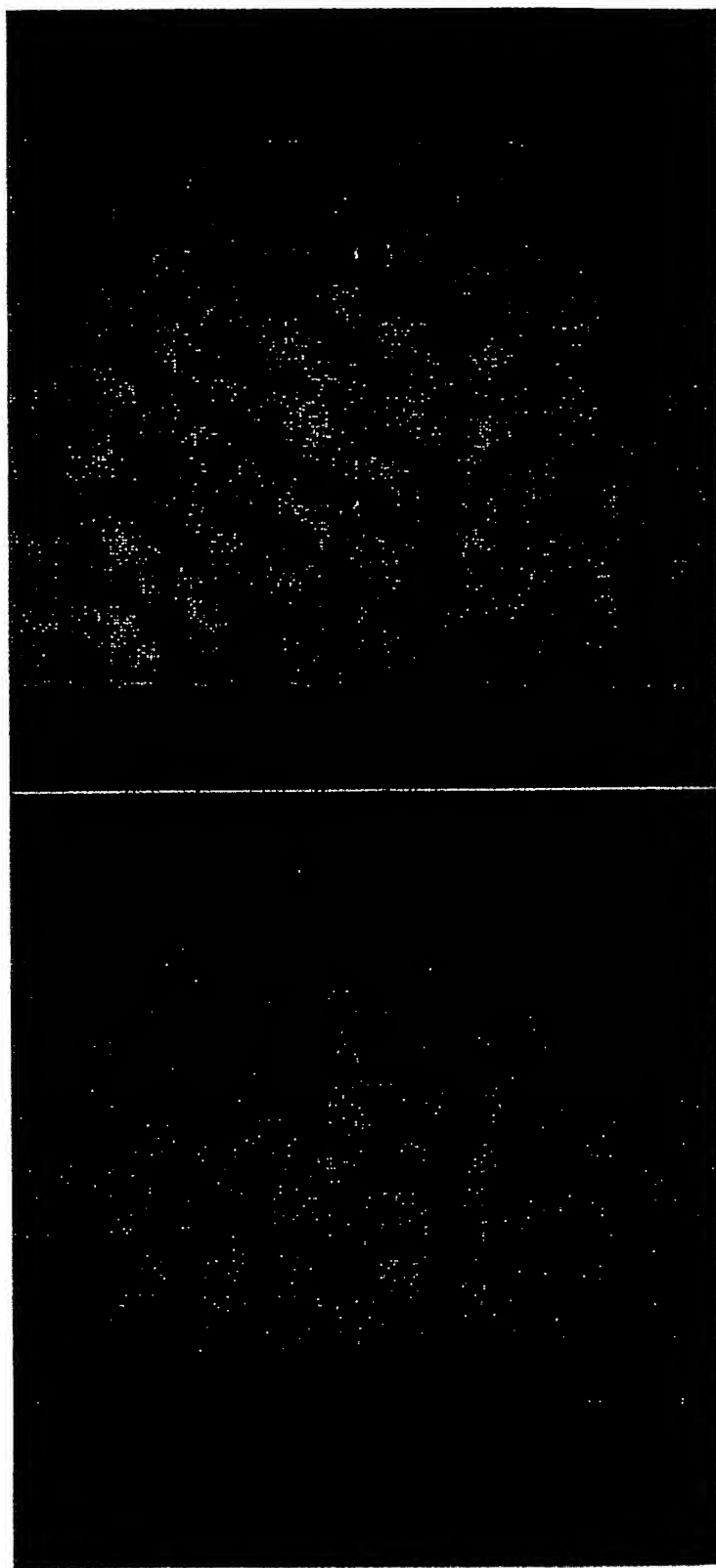
(A)



(B)



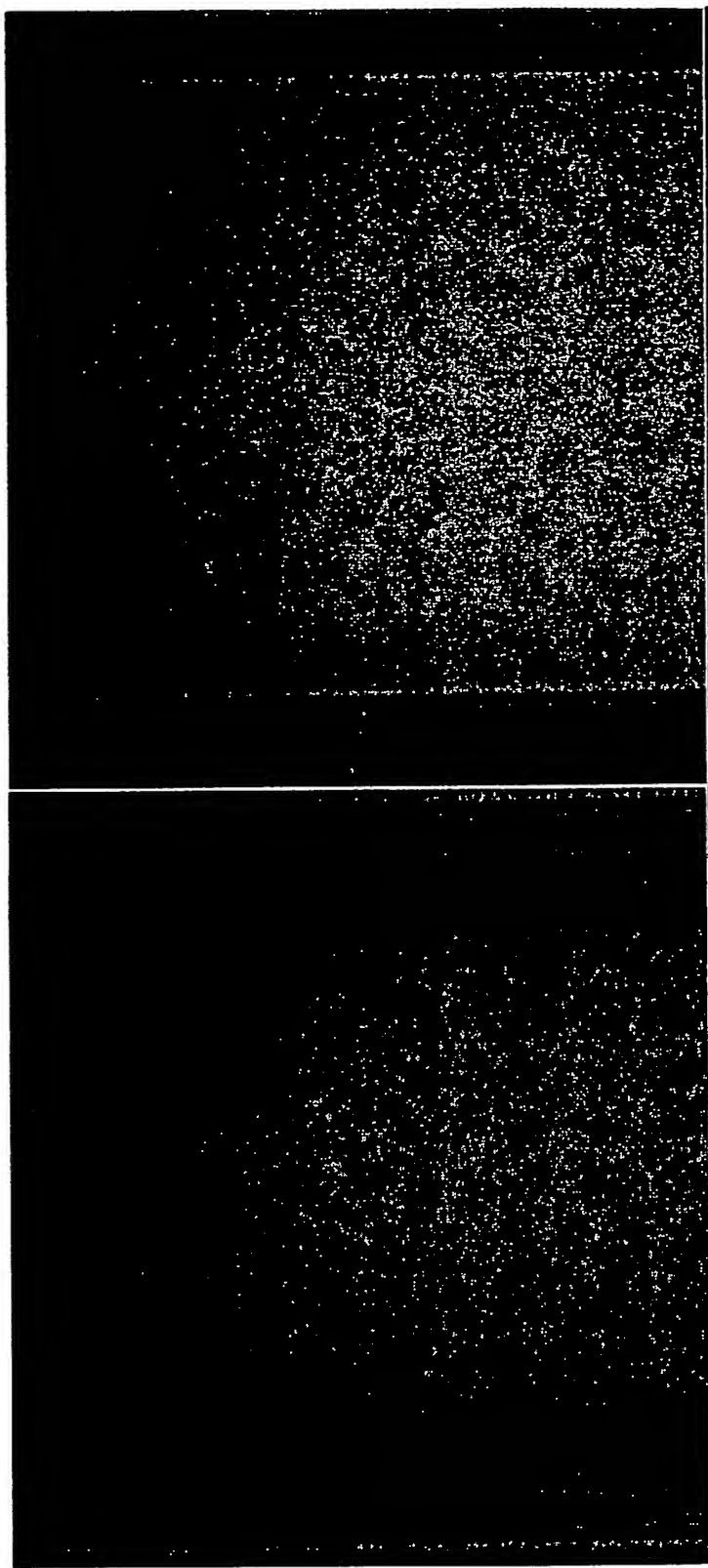
【図 2 3】



両端に結晶性不良領域残り

全面大粒径結晶

【図 2 4】



両端に結晶性不良領域残り

全面大粒径結晶

【書類名】要約書

【要約】

【課題】複数のレーザを用いて半導体膜のアニールを行うと、各々のレーザ照射領域の間隔が異なる。この工程の後に、予め基板上に形成したマーカーに合わせてリソグラフィ工程を行うと、レーザによって結晶化された部分に正しく露光されない。

【解決手段】レーザ照射工程で得られたレーザ照射領域をマーカーとし、ステッパの露光位置をこのレーザ照射領域中の大粒径領域に合わせて露光を行う。大粒径領域と結晶性不良領域では光の散乱強度が異なることを利用して、大粒径領域と結晶性不良領域を検出し、露光の位置を決定する。

【選択図】図1

出願人履歴

0 0 0 1 5 3 8 7 8

19900817

新規登録

神奈川県厚木市長谷398番地
株式会社半導体エネルギー研究所